

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: S. ISHIKURA, et al.

Application No.: New Patent Application

Filed: March 25, 2004

For: SEMICONDUCTOR MEMORY DEVICE

CLAIM FOR PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Sir:

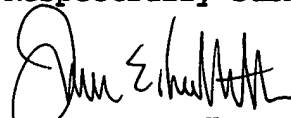
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2003-101196, filed April 4, 2003.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: March 25, 2004

JEL/apg
Attorney Docket No. L8462.04112
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 4 日
Date of Application:

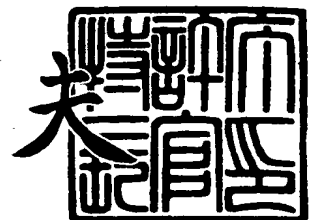
出 願 番 号 特 願 2 0 0 3 - 1 0 1 1 9 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 0 1 1 9 6]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 4 年 2 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 9 5 7 6

【書類名】 特許願

【整理番号】 5037640189

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/11

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 石倉 聡

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 里見 勝治

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100076174

 【弁理士】

 【氏名又は名称】 宮井 暎夫

【選任した代理人】

 【識別番号】 100105979

 【弁理士】

 【氏名又は名称】 伊藤 誠

【手数料の表示】

 【予納台帳番号】 010814

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0212624

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体記憶装置
【特許請求の範囲】

【請求項 1】 半導体基板上に行列状に配置され、各々一対のアクセストランジスタと一対のドライブトランジスタと一対のロードトランジスタとで構成され、各々の領域が、前記半導体基板上で 2 つの第 1 導電型のウェル領域の間に第 2 導電型のウェル領域が挟まれるように 3 つの前記ウェル領域が行方向に並んで形成された行方向に長い形状のセル領域であり、各々 2 つの前記第 1 導電型のウェル領域のそれぞれに 1 つずつの前記アクセストランジスタとドライブトランジスタとが形成され、前記第 2 導電型のウェル領域に前記一対のロードトランジスタが形成された複数の CMOS 型 SRAM セルを備え、前記 CMOS 型 SRAM セルを構成するトランジスタの上部に複数の配線層を備えた半導体記憶装置であって、

複数のうちの 1 つの前記配線層で形成され、それぞれ列方向に延びて同一列の前記 CMOS 型 SRAM セルに接続され、行方向に並んで配置された複数の対をなすビット線と、

前記ビット線と同層の前記配線層で形成され、それぞれ前記対をなすビット線の間に配置され同一列の前記 CMOS 型 SRAM セルに接続される複数の VDD 電源配線と、

前記ビット線より 1 層上の前記配線層で形成され、それぞれ行方向に延びて同一行の前記 CMOS 型 SRAM セルに接続され、列方向に並んで配置された複数のワード線と、

前記ワード線より 1 層上の前記配線層で形成され、前記 CMOS 型 SRAM セルに接続される VSS 電源配線とを設けたことを特徴とする半導体記憶装置。

【請求項 2】 半導体基板上に行列状に配置され、各々一対のアクセストランジスタと一対のドライブトランジスタと一対のロードトランジスタとで構成され、各々の領域が、前記半導体基板上で 2 つの第 1 導電型のウェル領域の間に第 2 導電型のウェル領域が挟まれるように 3 つの前記ウェル領域が行方向に並んで形成された行方向に長い形状のセル領域であり、各々 2 つの前記第 1 導電型のウェ

ル領域のそれぞれに 1 つずつの前記アクセストランジスタとドライブトランジスタとが形成され、前記第 2 導電型のウェル領域に前記一对のロードトランジスタが形成された複数の CMOS 型 SRAM セルを備え、前記 CMOS 型 SRAM セルを構成するトランジスタの上部に複数の配線層を備えた半導体記憶装置であって、

複数のうちの 1 つの前記配線層で形成され、それぞれ行方向に延びて同一行の前記 CMOS 型 SRAM セルに接続され、列方向に並んで配置された複数のワード線と、

前記ワード線より 1 層上の前記配線層で形成され、それぞれ列方向に延びて同一列の前記 CMOS 型 SRAM セルに接続され、行方向に並んで配置された複数の対をなすビット線と、

前記ビット線と同層の前記配線層で形成され、それぞれ前記対をなすビット線の間に配置され同一列の前記 CMOS 型 SRAM セルに接続される複数の VDD 電源配線と、

前記ビット線より 1 層上の前記配線層で形成され、前記 CMOS 型 SRAM セルに接続される VSS 電源配線とを設けたことを特徴とする半導体記憶装置。

【請求項 3】 半導体基板上に行列状に配置され、各々一对のアクセストランジスタと一对のドライブトランジスタと一对のロードトランジスタとで構成され、各々の領域が、前記半導体基板上で 2 つの第 1 導電型のウェル領域の間に第 2 導電型のウェル領域が挟まれるように 3 つの前記ウェル領域が行方向に並んで形成された行方向に長い形状のセル領域であり、各々 2 つの前記第 1 導電型のウェル領域のそれぞれに 1 つずつの前記アクセストランジスタとドライブトランジスタとが形成され、前記第 2 導電型のウェル領域に前記一对のロードトランジスタが形成された複数の CMOS 型 SRAM セルを備え、前記 CMOS 型 SRAM セルを構成するトランジスタの上部に複数の配線層を備えた半導体記憶装置であって、

複数のうちの 1 つの前記配線層で形成され、それぞれ列方向に延びて同一列の前記 CMOS 型 SRAM セルに接続され、行方向に並んで配置された複数の VDD 電源配線と、

前記VDD電源配線より1層上の前記配線層で形成され、それぞれ列方向に延びて同一列の前記CMOS型SRAMセルに接続され、行方向に並んで配置された複数の対をなすビット線と、

前記ビット線より1層上の前記配線層で形成され、それぞれ行方向に延びて同一行の前記CMOS型SRAMセルに接続され、列方向に並んで配置された複数のワード線と、

前記ワード線より1層上の前記配線層で形成され、前記CMOS型SRAMセルに接続されるVSS電源配線とを設けたことを特徴とする半導体記憶装置。

【請求項4】 半導体基板上に行列状に配置され、各々一對のアクセストランジスタと一對のドライブトランジスタと一對のロードトランジスタとで構成され、各々の領域が、前記半導体基板上で2つの第1導電型のウェル領域の間に第2導電型のウェル領域が挟まれるように3つの前記ウェル領域が行方向に並んで形成された行方向に長い形状のセル領域であり、各々2つの前記第1導電型のウェル領域のそれぞれに1つずつの前記アクセストランジスタとドライブトランジスタとが形成され、前記第2導電型のウェル領域に前記一對のロードトランジスタが形成された複数のCMOS型SRAMセルを備え、前記CMOS型SRAMセルを構成するトランジスタの上部に複数の配線層を備えた半導体記憶装置であって、

複数のうちの1つの前記配線層で形成され、それぞれ列方向に延びて同一列の前記CMOS型SRAMセルに接続され、行方向に並んで配置された複数の対をなすビット線と、

前記ビット線より1層上の前記配線層で形成され、それぞれ列方向に延びて同一列の前記CMOS型SRAMセルに接続され、行方向に並んで配置された複数のVDD電源配線と、

前記VDD電源配線より1層上の前記配線層で形成され、それぞれ行方向に延びて同一行の前記CMOS型SRAMセルに接続され、列方向に並んで配置された複数のワード線と、

前記ワード線より1層上の前記配線層で形成され、前記CMOS型SRAMセルに接続されるVSS電源配線とを設けたことを特徴とする半導体記憶装置。

【請求項 5】 CMOS 型 SRAM セルの各々の領域は、行方向の幅が列方向の幅の 2 倍以上である請求項 1 ～ 4 のうちいずれかに記載の半導体記憶装置。

【請求項 6】 ワード線は、前記ワード線より 1 層下の配線層で形成された島形状パターンを介して前記 CMOS 型 SRAM セルのアクセストランジスタと接続されており、前記ワード線と前記島形状パターンとの接続が 1 つの前記島形状パターンあたり複数のビア部の配置によってなされたことを特徴とする請求項 3 または 4 に記載の半導体記憶装置。

【請求項 7】 VSS 電源配線は、前記 VSS 電源配線より 1 層下の配線層で形成された島形状 VSS パターンを介して前記 CMOS 型 SRAM セルと接続されており、前記 VSS 電源配線と前記島形状 VSS パターンとの接続が 1 つの前記島形状 VSS パターンあたり複数のビア部の配置によってなされたことを特徴とする請求項 1 ～ 4 のうちいずれかに記載の半導体記憶装置。

【請求項 8】 前記ワード線と同層に存在する島形状 VSS パターンと前記ワード線との間隔を広げるため、または前記ワード線の線幅を太くするために、ワード線を屈曲させたことを特徴とする請求項 1 ～ 4 のうちいずれかに記載の半導体記憶装置。

【請求項 9】 VSS 電源配線が行方向に並んで複数配置され、かつビット線を覆うように配置されたことを特徴とする請求項 1 ～ 4 のうちいずれかに記載の半導体記憶装置。

【請求項 10】 VSS 電源配線と同層の配線層で形成され、VDD 電源配線と接続される VDD 補強配線を設けたことを特徴とする請求項 1 ～ 4 のうちいずれかに記載の半導体記憶装置。

【請求項 11】 VDD 補強配線と VDD 電源配線との接続を、CMOS 型 SRAM セルを構成するトランジスタの基板電位確保用基板コンタクトセル領域で行なったことを特徴とする請求項 10 に記載の半導体記憶装置。

【請求項 12】 CMOS 型 SRAM セルを構成するトランジスタの基板電位確保用基板コンタクトセル領域内でワード線と同層の配線層で形成され、行方向に延びた電源補強配線を設け、前記電源補強配線を VDD 電源配線または VSS 電源配線との交差部において前記 VDD 電源配線または VSS 電源配線と接続し

たことを特徴とする請求項 1～4 のうちいずれかに記載の半導体記憶装置。

【請求項 13】 VSS 電源配線がメッシュ形状であることを特徴とする請求項 1～4 のうちいずれかに記載の半導体記憶装置。

【請求項 14】 ワード線を形成する配線層の膜厚が、前記ワード線より下層の配線層の膜厚よりも厚いことを特徴とする請求項 3 または 4 に記載の半導体記憶装置。

【請求項 15】 VSS 電源配線を形成する配線層の膜厚が、前記 VSS 電源配線より下層の配線層の膜厚よりも厚いことを特徴とする請求項 1～4 のうちいずれかに記載の半導体記憶装置。

【請求項 16】 ロウ冗長回路を持たず、カラム冗長回路のみを有することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 17】 カラム冗長回路を持たず、ロウ冗長回路のみを有することを特徴とする請求項 2 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路のレイアウト設計技術に係るもので、特に、CMOS 型 SRAM（スタティック・ランダム・アクセス・メモリ）の半導体記憶装置に関するものである。

【0002】

【従来の技術】

近年、半導体の微細化が急速に進み、100nm 近辺の加工寸法が実現され始めているが、微細化の進展においては、リソグラフィ技術がボトルネックになってきている。こうした背景から、SRAM メモリセルのレイアウト構造が、従来主に用いられていた縦型メモリセルレイアウトに代えて、リソグラフィ的に加工がしやすい横型メモリセルレイアウトが用いられ始めている。

【0003】

図 20 に従来の CMOS 型 SRAM の縦型メモリセルの下層部のレイアウト例を示す。図 20 において、100 は P ウェル、101 は N ウェル、102 はウェ

ル境界線、103はソースドレインの拡散層（Pウェル100上ではN型の拡散層、Nウェル101上ではP型の拡散層）、104はゲート電極、105は拡散層103またはゲート電極104と第1層目メタル配線（図示せず）とを接続するコンタクトホール、107はNチャネル型アクセストランジスタ、108はNチャネル型ドライブトランジスタ、109はPチャネル型ロードトランジスタ、110はメモリセル1ビット分のセル境界枠である。

【0004】

図21に従来のCMOS型SRAMの横型メモリセルの下層部のレイアウト例を示す。図21において、図20と対応する部分には同一符号を付しており、106は拡散層103とゲート電極104を1つのコンタクトホールで第1層目メタル配線（図示せず）と接続するシェアードコンタクトである。図20、図21いずれも、一対のNチャネル型アクセストランジスタ107と、一対のNチャネル型ドライブトランジスタ108と、一対のPチャネル型ロードトランジスタ109とで構成される6トランジスタ型のSRAMメモリセルを示し、このようなメモリセルの回路図は図28で示される。図21の横型メモリセルの場合、ウェル境界線102は図21において縦方向に延びている。

【0005】

この横型メモリセルは、通常、図22に示すように、フリップ配置されている。図22において、221はメモリセルアレイ、222は横型メモリセルである。

【0006】

また、横型メモリセルの配線レイアウトを図23～図25に示す。図23は第1層目メタル配線、図24は第2層目メタル配線、図25は第3層目メタル配線のレイアウトを示し、図23において、111は第1層目配線である。図24において、112は第2層目配線、113は第1層目配線111と第2層目配線112とを接続するビア部（ビアホールによる接続部）である。また、114はポジビット線（図28ではBL）、115はネガビット線（図28では／BL）、116はVDD電源配線であり、これらは第2層目配線112で形成される。図25において、117は第3層目配線、118は第2層目配線112と第3層目

配線 117 とを接続するビア部である。また、119 はワード線（図 28 では W L）、120 は V S S 電源配線であり、これらは第 3 層目配線 117 で形成される。

【0007】

図 20 の縦型メモリセルと図 21 の横型メモリセルのレイアウトを比較して判る通り、横型メモリセルでは、拡散層 103 やゲート電極 104 が同一方向に伸びた直線的な形状で、パターン形成し易いレイアウトであり、リソグラフィ加工が縦型メモリセルよりも容易であるというメリットがある。また、セル形状が横長形状であるが故に、縦方向に伸びるビット線長が縦型メモリセルに比べて短くなり、ビット線容量が少なく、高速化や低電力化に有利であるというメリットもある。メモリセル内のトランジスタには小面積化のために小さなゲート幅が用いられるし、ビット線に多数のメモリセルが接続される構成を有することとなるので、メモリセルの駆動負荷は重く、ビット線駆動時間はアクセス時間高速化における最重要因子の一つである。

【0008】

なお、上記の横型メモリセルの例では、ビット線を第 2 層目配線で形成した例（以下、ビット線 2 層型と呼ぶ）を説明したが、ビット線を第 3 層目配線で形成した例（以下、ビット線 3 層型と呼ぶ）についても説明しておく。ビット線 3 層型横型メモリセルの下層部および第 1 層目メタル配線のレイアウトは、それぞれビット線 2 層型横型メモリセルの図 21、図 23 と同様である。ビット線 3 層型横型メモリセルの第 2 層目配線のレイアウトを図 26 に、第 3 層目配線のレイアウトを図 27 に示す。このビット線 3 層型では、図 26 に示すように、ワード線 351 が第 2 層目配線 112 で形成されており、また図 27 に示すように、第 3 層目配線 117 によってポジビット線 352、ネガビット線 353、V D D 電源配線 354 および V S S 電源配線 355 が形成される。

【0009】

ビット線 3 層型は、ビット線の対基板容量がビット線 2 層型よりも軽くなる。しかし、2 層目には多数の配線パターンが存在しているので、対基板容量差はあまり効いてこない。また、ビット線 3 層型は、ビット線 2 層型と比較してビア部

深さが深く、ポジネガのビット線 352、353 のビア部と VDD 電源配線 354 のビア部との距離が近い為に、ビット線 352、353 のビア部の寄生容量が大きくなるというデメリットがある。また、図 25 と図 27 との比較から判る様に、ビット線 3 層型の方が、上層に持ち上げられる信号が多い為、使用ビア部数が多くなるので、歩留面で不利になる可能性がある。しかしビット線 3 層型の場合、図 27 に示すようにポジネガのビット線 352 及び 353 の両脇が、VDD 電源配線 354 と VSS 電源配線 355 で挟まれている。これによって、自メモリセル中のポジ／ネガビット線 352 と 353 との間の干渉、及び隣接メモリセルのビット線との干渉の両方がシールド出来ている。

【0010】

【特許文献 1】

特開平 10-178110 号公報

【0011】

【発明が解決しようとする課題】

横型メモリセルにおける、リソグラフィ面での加工容易性や、短ビット線長といったメリットについては先の従来技術で述べた。しかし、横型メモリセルにも課題がある。

【0012】

ビット線 2 層型の場合、非常に横長な形状であるが故に、横方向に伸びる配線が非常に接近して存在してしまうことである。具体的には、図 25 のように、第 3 層目の同層の配線 117 からなるワード線 119 と VSS 電源配線 120 とが非常に近接して長距離（メモリ領域全域）を並走しており、微細化していくとワード線 119 の寄生負荷容量が大きくなるし、配線間隔が狭いことからプロセス工程上のパーティクル等に対しても弱くなり、歩留低下を引き起こしやすくなるという課題が有る。

【0013】

また、ビット線 3 層型の場合、図 27 に示すようにポジネガのビット線 352 及び 353 の両脇が、VDD 電源配線 354 と VSS 電源配線 355 で挟まれ、自メモリセル中および隣接メモリセルのビット線間の干渉がシールド出来ている

ものの、結果として、横に並んでいるVDD電源配線354とVSS電源配線355、ポジネガビット線352、353が長距離に渡って並走していることになる。ビット線352、353の寄生負荷容量も横型メモリセルで横幅に余裕が有るとはいえ、微細化が進めば、多数の配線パターンが密接して存在していることから増加の可能性が有るし、パーティクル起因の歩留低下を引き起こしやすくなるという課題が有る。

【0014】

また、付帯的な状況として、最近のシステムLSI設計では、微細化に伴って下記の様な動向が見られる。

【0015】

(1) 配線の多層化

・微細化に伴って、配線断面積が小さく、配線間隔が狭くなることにより、配線遅延が増大する。これを緩和する為、使用配線層数を増やして配線幅や配線間隔を広げてレイアウトすることが多くなってきており、それに伴ってシステムLSIの配線層数が多層化傾向にある。

・デバイススケーリングあるいは機器の低電力化といったニーズから、LSIは低電源電圧化の傾向にある。しかし一方では、1チップ上に多数の素子が集積化されており、かつ、高速動作のニーズも高い為、消費電流は増大傾向にある。その為、電源幅を太くして電源電位ドロップを抑制する必要性が増しており、使用配線層数が増える傾向にある。

【0016】

(2) 冗長救済技術

・搭載トランジスタ数、特に、搭載メモリ容量がシステムLSIの中で増大傾向にある。その為、従来、DRAM等で用いられていた冗長救済技術がSRAMにも使われ始めている。

【0017】

近年の微細システムLSIにおける上記(1)(2)の流れを踏まえた上で、前述の横型メモリセルの配線構造をさらに最適化することが求められている。

【0018】

本発明の目的は、ワード線やビット線の寄生容量を少なくし、歩留を向上することが可能となる半導体記憶装置を提供することである。

【0019】

【課題を解決するための手段】

本発明の請求項1に記載の半導体記憶装置は、半導体基板上に行列状に配置され、各々一対のアクセストランジスタと一対のドライブトランジスタと一対のロードトランジスタとで構成され、各々の領域が、半導体基板上で2つの第1導電型のウェル領域の間に第2導電型のウェル領域が挟まれるように3つのウェル領域が行方向に並んで形成された行方向に長い形状のセル領域であり、各々2つの第1導電型のウェル領域のそれぞれに1つずつのアクセストランジスタとドライブトランジスタとが形成され、第2導電型のウェル領域に一対のロードトランジスタが形成された複数のCMOS型SRAMセルを備え、CMOS型SRAMセルを構成するトランジスタの上部に複数の配線層を備えた半導体記憶装置であって、複数のうちの1つの配線層で形成され、それぞれ列方向に延びて同一列のCMOS型SRAMセルに接続され、行方向に並んで配置された複数の対をなすビット線と、ビット線と同層の配線層で形成され、それぞれ対をなすビット線の間に配置され同一列のCMOS型SRAMセルに接続される複数のVDD電源配線と、ビット線より1層上の配線層で形成され、それぞれ行方向に延びて同一行のCMOS型SRAMセルに接続され、列方向に並んで配置された複数のワード線と、ワード線より1層上の配線層で形成され、CMOS型SRAMセルに接続されるVSS電源配線とを設けたことを特徴とする。

【0020】

請求項2に記載の半導体記憶装置は、請求項1同様の複数のCMOS型SRAMセルを備え、CMOS型SRAMセルを構成するトランジスタの上部に複数の配線層を備えた半導体記憶装置であって、複数のうちの1つの配線層で形成され、それぞれ行方向に延びて同一行のCMOS型SRAMセルに接続され、列方向に並んで配置された複数のワード線と、ワード線より1層上の配線層で形成され、それぞれ列方向に延びて同一列のCMOS型SRAMセルに接続され、行方向に並んで配置された複数の対をなすビット線と、ビット線と同層の配線層で形成

され、それぞれ対をなすビット線の間配置され同一列のCMOS型SRAMセルに接続される複数のVDD電源配線と、ビット線より1層上の配線層で形成され、CMOS型SRAMセルに接続されるVSS電源配線とを設けたことを特徴とする。

【0021】

請求項3に記載の半導体記憶装置は、請求項1同様の複数のCMOS型SRAMセルを備え、CMOS型SRAMセルを構成するトランジスタの上部に複数の配線層を備えた半導体記憶装置であって、複数のうちの1つの配線層で形成され、それぞれ列方向に延びて同一列のCMOS型SRAMセルに接続され、行方向に並んで配置された複数のVDD電源配線と、VDD電源配線より1層上の配線層で形成され、それぞれ列方向に延びて同一列のCMOS型SRAMセルに接続され、行方向に並んで配置された複数の対をなすビット線と、ビット線より1層上の配線層で形成され、それぞれ行方向に延びて同一行のCMOS型SRAMセルに接続され、列方向に並んで配置された複数のワード線と、ワード線より1層上の配線層で形成され、CMOS型SRAMセルに接続されるVSS電源配線とを設けたことを特徴とする。

【0022】

請求項4に記載の半導体記憶装置は、請求項1同様の複数のCMOS型SRAMセルを備え、CMOS型SRAMセルを構成するトランジスタの上部に複数の配線層を備えた半導体記憶装置であって、複数のうちの1つの配線層で形成され、それぞれ列方向に延びて同一列のCMOS型SRAMセルに接続され、行方向に並んで配置された複数の対をなすビット線と、ビット線より1層上の配線層で形成され、それぞれ列方向に延びて同一列のCMOS型SRAMセルに接続され、行方向に並んで配置された複数のVDD電源配線と、VDD電源配線より1層上の配線層で形成され、それぞれ行方向に延びて同一行のCMOS型SRAMセルに接続され、列方向に並んで配置された複数のワード線と、ワード線より1層上の配線層で形成され、CMOS型SRAMセルに接続されるVSS電源配線とを設けたことを特徴とする。

【0023】

請求項 5 に記載の半導体記憶装置は、請求項 1 ～ 4 のうちいずれかに記載の半導体記憶装置において、CMOS 型 SRAM セルの各々の領域は、行方向の幅が列方向の幅の 2 倍以上である。

【0024】

請求項 6 に記載の半導体記憶装置は、請求項 3 または 4 に記載の半導体記憶装置において、ワード線は、ワード線より 1 層下の配線層で形成された島形状パターンを介して CMOS 型 SRAM セルのアクセストランジスタと接続されており、ワード線と島形状パターンとの接続が 1 つの島形状パターンあたり複数のビア部の配置によってなされたことを特徴とする。

【0025】

請求項 7 に記載の半導体記憶装置は、請求項 1 ～ 4 のうちいずれかに記載の半導体記憶装置であって、VSS 電源配線は、VSS 電源配線より 1 層下の配線層で形成された島形状 VSS パターンを介して CMOS 型 SRAM セルと接続されており、VSS 電源配線と島形状 VSS パターンとの接続が 1 つの島形状 VSS パターンあたり複数のビア部の配置によってなされたことを特徴とする。

【0026】

請求項 8 に記載の半導体記憶装置は、請求項 1 ～ 4 のうちいずれかに記載の半導体記憶装置において、ワード線と同層に存在する島形状 VSS パターンとワード線との間隔を広げるため、またはワード線の線幅を太くするために、ワード線を屈曲させたことを特徴とする。

【0027】

請求項 9 に記載の半導体記憶装置は、請求項 1 ～ 4 のうちいずれかに記載の半導体記憶装置において、VSS 電源配線が行方向に並んで複数配置され、かつビット線を覆うように配置されたことを特徴とする。

【0028】

請求項 10 に記載の半導体記憶装置は、請求項 1 ～ 4 のうちいずれかに記載の半導体記憶装置において、VSS 電源配線と同層の配線層で形成され、VDD 電源配線と接続される VDD 補強配線を設けたことを特徴とする。

【0029】

請求項 11 に記載の半導体記憶装置は、請求項 10 に記載の半導体記憶装置において、VDD 補強配線と VDD 電源配線との接続を、CMOS 型 SRAM セルを構成するトランジスタの基板電位確保用基板コンタクトセル領域で行なったことを特徴とする。

【0030】

請求項 12 に記載の半導体記憶装置は、請求項 1～4 のうちいずれかに記載の半導体記憶装置において、CMOS 型 SRAM セルを構成するトランジスタの基板電位確保用基板コンタクトセル領域内でワード線と同層の配線層で形成され、行方向に延びた電源補強配線を設け、電源補強配線を VDD 電源配線または VSS 電源配線との交差部において VDD 電源配線または VSS 電源配線と接続したことを特徴とする。

【0031】

請求項 13 に記載の半導体記憶装置は、請求項 1～4 のうちいずれかに記載の半導体記憶装置において、VSS 電源配線がメッシュ形状であることを特徴とする。

【0032】

請求項 14 に記載の半導体記憶装置は、請求項 3 または 4 に記載の半導体記憶装置において、ワード線を形成する配線層の膜厚が、ワード線より下層の配線層の膜厚よりも厚いことを特徴とする。

【0033】

請求項 15 に記載の半導体記憶装置は、請求項 1～4 のうちいずれかに記載の半導体記憶装置において、VSS 電源配線を形成する配線層の膜厚が、VSS 電源配線より下層の配線層の膜厚よりも厚いことを特徴とする。

【0034】

請求項 16 に記載の半導体記憶装置は、請求項 1 に記載の半導体記憶装置において、ロウ冗長回路を持たず、カラム冗長回路のみを有することを特徴とする。

【0035】

請求項 17 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置において、カラム冗長回路を持たず、ロウ冗長回路のみを有することを特徴とする。

【0036】**【発明の実施の形態】**

以下、本発明の実施形態について説明する。なお、以下で第 n 層目配線 ($n = 1, 2, 3, \dots$) というのは、従来例同様、メモリセルの下層部レイアウトの上に形成される下から n 層目のメタル配線 (層) である。

【0037】**(第1の実施形態)**

第1の実施形態に関して、図面を用いて説明する。本実施形態の半導体記憶装置は、ビット線2層型の横型メモリセルで構成されるCMOS型SRAMである。

【0038】

本実施形態における横型メモリセルの下層部のレイアウトおよびその上の第1層目配線、第2層目配線のレイアウトは、図21、図23、図24の従来例と同様であり、またメモリセルの配置も図22に示すようにフリップ配置され、メモリセルの回路図は図28で示される。本実施形態における配線レイアウトの一例を図1に示す。図1において、201は第3層目配線からなる島形状パターンのVSSノード、202は第2層目配線と第3層目配線とを接続するビア部、203は第3層目配線と第4層目配線とを接続するビア部、204は第4層目配線からなるVSS電源配線である。

【0039】

従来のビット線2層型横型メモリセルでは、図25のように、第3層目配線によりVSS電源配線120がワード線119と並走していたが、本実施形態では、図1に示す様に、VSS電源を上層から下層に通過させる為の接続用島形状パターンのVSSノード201のみとし、上層の第4層目配線によりVSS電源配線204を形成している。

【0040】

これによって、ワード線119とVSS電源配線204との長距離に渡る並走が無くなるため、ワード線119の寄生容量が少なくなり高速化を図るとともに、パーティクルによるワード線119とVSS電源配線204とがショート不良

に至る確率が減少し、歩留りを高める効果を得ることが出来る。この効果は、メモリセルが、横方向に長い、2倍以上の縦横比を有する形状の場合においてさらに大きなものとなる。

【0041】

そして、従来例と同様、VDD電源配線116がポジネガビット線114、115間に存在することにより、ポジネガビット線114、115間のシールドの役目を果たすことになる。シールド層が無く、ポジネガビット線114、115間のカップリング容量が大きい場合には、一方のビット線電位がメモリのWrite/Read動作でLow電位に変化した際に、High電位であるべきもう一方のビット線がLowに引かれてしまい、ポジネガビット線114、115間の電位差が少なくなることで、Read時のセンス不具合やWrite不具合を生ずる可能性が高くなる。ビット線114、115にVDD電源配線116が並走していることについては、カラム冗長救済があれば通常さほど問題とはならない。ビット線114、115は通常High電位にプリチャージされてスタンバイ状態となるので、VDD電位とビット線がショートしていても、その不具合ビット線部分を冗長回路を使ってスキップしてしまえば、DC的な不具合電流等は流れず、良品チップとして扱うことが出来る。

【0042】

しかしながら、図1では、VSS電源配線204を4層目に持ち上げる為に、第3層目と第4層目の配線とを接続するビア部203を必要としている。(以下、簡便の為に、第n層目の配線をMn、第n層目配線と第n-1層目配線とを接続するビア部を、Vnと表現することとする。)ビア部の形成工程は非常に高いアスペクト比を有する深いホール孔を開け、そのホール孔に金属物を埋め込む工程であり、プロセス加工上難度の高い工程である。その為、論理を構成するのに必要なビア部の層数が増加してしまうと、並走配線長を削減したとしても、結果として歩留を低下させてしまうことが懸念される。

【0043】

これに対しては、ビア部を複数取りとすることで対応できる。図2は、第3層目配線と第4層目配線を接続するビア部203を2個取りした例である。図2の

うち、第2層目以上のメタル配線に絞って表記して見易さを図った図を図3に示す。

【0044】

使用するプロセスのビア部V3が形成不良に至る確率を1ppmと仮定すると、2個ともが同時不良になる確率は、1ppmの2乗となり、非常に小さな確率となる。実際には、近接した位置に存在しているので、完全に2乗とはならないが、プロセス工程的な形成不良確立が格段に減少するという傾向は正しい。また、ビア部個数を1個取りから2個取りに変更するにあたり、第3層目のVSSノード201の島形状パターンは2倍まで大きくならない場合が多い。その理由は、ビア部が例え1個取りであっても、島形状パターンのサイズはビア部203のサイズとそのビア部に対するオーバーラップルールでは決まらずに、リソグラフィ上あるいはダマシン配線工程での配線埋め込み性から決まる単独配線パターンのサイズルールによって決まっているケースが多いからである。故に、ビア部個数を1個から2個にすることによる第3層目のVSSノード201の島形状パターンの面積増加は少なく、ワード線寄生負荷容量の増大や歩留低下も少ない。結果として、第3層目のVSSノード201と第4層目のVSS電源配線204とを接続するビア部を複数取りとしたことによって、VSS電源配線204を4層目に配置した効果を最大限に引き出すことが可能となる。

【0045】

次に、VDD電源を強化した例について、図4、図5、図6、図7を用いて説明する。図3を見て判る様に、M4層にはVSS電源配線204しか存在しておらずレイアウトには余裕がある。そこで、図4の様に、Pchのロードトランジスタ上にM4のVDD電源配線205を通すことが可能である。これにより、第2層目配線のVDD電源配線116だけでは寄生抵抗値が大きく、十分な電源強度を持たない場合に、第2層目配線のVDD電源配線116を第4層目配線のVDD電源配線205によって裏打ちすることでVDD電源を強化することが出来る。

【0046】

また、この第4層目のVDD電源配線205を、下層を走る第2層目のVDD

電源配線 116 と接続するのに、図 5 に示す様に各メモリセル内で第 3 層目配線の島形状パターンの電源ノード 206 を作成し、第 2 層目の VDD 電源配線 116 へと接続すると、第 3 層目におけるワード線 119 と、ワード線 119 と島形状 VDD 電源ノード 206 及び島形状 VSS 電源ノード 201 との並走距離が増え、寄生容量増加や歩留低下を生じてしまう。

【0047】

そこで、本実施形態では、図 6 に示す様に、メモリセルアレイの中に周期的に配置され基板コンタクトを取る為のセル 300（以下、基板コンタクトセルと呼ぶ。図 6 は概念説明の為に、基板コンタクトセル 300 間に配置したメモリセル 302 の数を少なくして描いてある。）において、図 7 に示す様に、第 3 層目配線の VDD ノード 301 を経由して第 2 層目 VDD 電源配線 116 と第 4 層目 VDD 電源配線 205 とを接続する。基板コンタクトセル部にはワード線が存在しないので、第 3 層目は空いている。図 7 においては、第 3 層目の VDD ノード 301 は島形状のレイアウトとして示したが、基板コンタクトセル部でのみ、メモリアレイ上を横方向に伸びる配線としても良い。また、基板コンタクトセル部に配置する横方向の第 3 層目補強電源は、VDD でも、VSS でも、VDD と VSS を交互に配置する等しても良い。これにより、図 5 に示す様にメモリセル毎に VDD 接続を行なった場合と比較して、歩留低下を抑えて、電源能力を強化することが出来る。

【0048】

なお、図 1 の例、図 2（図 3）の例では、第 4 層目配線には、VSS 電源配線 204 のみが存在しており、図 4 の様な VDD 電源配線 205 は存在していない。VDD と VSS が同層メタルで存在しており、その VDD と VSS とがショート不良を起こした場合、単に不具合セルをスキップして、スペアセルを用いるといった冗長手法では、VDD と VSS との間で流れるショート電流は防ぐことが出来ない。冗長救済による不良チップの良品化は行えない。特に、最近の Cu 配線形成には、ダマシンという埋め込み工法が用いられており、CMP 研磨工程においてごみが存在していると、マイクロクラッチと呼ばれる擦り傷から生ずる配線ショートが発生することもある。その為、リソグラフィや管理パーティ

クルの実力から予想される十分な配線間隔を確保していても配線ショート不良が発生し得る。すなわち、VDDとVSS間の電源間ショート不良は、メモリセルをスペアのものと差し替える冗長救済技術では救済不可能であり、図1の例、図2（図3）の例に示す様にメモリセルの第4層目をVSS電源配線204のみとすることは、電源間ショート不良による冗長歩留低下を防ぐことが出来、冗長救済歩留を考えると大変有効である。また、メモリブロック上でのメモリセルの占める面積割合は非常に高く、かつ、システムLSI上でメモリ領域の占める割合も非常に高い為、メモリセルに対して対策することは、チップ歩留に対しても有効である。

【0049】

第4層目に配置するVSS電源配線204のパターンは、完全な板形状としても良いが、ラインアンドスペース形状あるいは、後述するメッシュ形状とすることが、最近のCuダマシン配線に適している。その理由は、幅の広い配線は、CMP工程で研磨パッドが弾性を有することから生ずるディッシングと呼ばれる配線部の窪みを生じやすく、その平坦性の悪化から、焦点深度不足によるリソグラフィ不具合等を起こし易くなるからである。ある程度の領域内で、規定のパターン面積範囲に収めることにより、プロセス加工が容易なレイアウトパターンにする為である。

【0050】

前述の第4層目のVSS電源配線204のパターンをメッシュ形状とする場合、図1、図2（図3）において、縦方向に延びたVSS電源配線204を、さらに横方向にも結んでメッシュ状電源とする。これにより、より強固なVSS電源系を形成可能となる。これは、メモリセル単位でメッシュになっていても、基板コンタクトセル部においてのみ接続されてメッシュとなってもかまわない。また、第4層目はVSS電源配線のみであるので、前述した冗長救済歩留に関するメリットも失っていない。

【0051】

また図1の例、図2（図3）の例では、VSS電源配線204はPウェルとNウェルの接するウェル境界と同一方向に、ビット線114、115を覆う様に伸

びている。もしも、VSS電源配線が横方向に伸びていたとすると、メモリの動作としては、横方向に延びるワード線119で選択された横一列のメモリセルが一斉にオンするので、多数のメモリセル電流の総和を横方向に延びた一本のVSS電源配線で賄わなくてはならない。しかし、縦方向のVSS電源配線204を有していれば、各メモリセル毎にVSS電源を持つので、ワード線119によって横一列のメモリセルが同時に選択されても、電源電圧低下量を抑制することが出来る。ちなみに、第4層目にVDD電源配線が存在しなくとも、SRAMとしては大きなデメリットとはなり得ない。なぜならば、Write/Read動作後にビット線をVDD電位に持ち上げるのは、データI/O部等メモリセル領域外に配置されたプリチャージトランジスタによって成される為、メモリセル中のVDD電源は、ビット線を高電位側に吊り上げたり、Write時に自セルの保持データを反転させる程度の能力を有しておれば良く、さほど強固な電流供給能力を持つ必要は無いからである。また、第4層目配線のVSS電源配線204を、ビット線114、115を覆う様に配置することによって、メモリブロック上層にチップ上の別信号線を通した場合のシールドとして機能する。第4層目VSS電源配線204がシールドとして存在することにより、微小電位差で動作するビット線114、115を保護して、ノイズによる誤動作を防止することが出来る。

【0052】

次にVDDやVSSの電源をメッシュ構造にして強化する方法について、説明する。図1の例、図2（図3）の例のように、VDD電源配線116やVSS電源配線204が縦方向に伸びている場合、ある程度の間隔で横方向にも相互接続して、VDD電源及びVSS電源をメッシュ構造にしたい場合がある。こうした場合、第3層目で、VDD電源またはVSS電源を、ウェル境界線と垂直方向に補強する。VDDとVSSが通過できるのは、基板コンタクトセル部を最小の高さで構成した場合には、第3層目配線が1本横方向に通過出来る程度である。ワード線119は基板コンタクトセル部には存在しないので、この基板コンタクトセル部において、第3層目配線で、VSSかVDD、あるいはVDDとVSSを交互に横方向に通し、この通した配線をVDD電源配線116あるいはVSS電

源配線 204 との交差部において接続することによって、電源をメッシュ構造にして強化できる。

【0053】

また、前述した本実施形態における各例では、図 1 ～図 4 等 に示されるように、第 3 層目の島形状 VSS ノード 201 は、ワード線 119 をはさんで対角位置に存在するだけである。そこで、図 8 の例に示すように、第 3 層目のワード線 207 をメモリセル内で屈曲させる。メモリセルは、図 22 に示す様にフリップさせて配置するので、この形状でワード線は問題無く繋がる。図 8 のワード線 207 の様に幅が細ければ、島形状 VSS ノード 201 との間隔が広く、配線容量が減り、パーティクルに起因する歩留不具合に対して強くなる。また、図 9 のように配線幅を太くして屈曲型幅太ワード線 208 にすると、ワード線抵抗を小さく抑えることが出来るし、ワード線 208 の断線不良の可能性も低くなる。ワード線 207、208 の屈曲は、45 度でも 90 度でも、あるいは、微小段差を何段も用いることによってなだらかに変化させて曲げて良い。

【0054】

また、図 1、図 2（図 3）や図 8 の例において、第 4 層目の配線膜厚を厚くする。少なくともメモリセル部では、第 4 層目は VSS 電源配線 204 しかなく、ビット線やワード線といった重要な信号線は存在しないから、その膜厚を厚くしても、近距離信号配線間のカップリング容量増加が問題となることは無いので、そのシート抵抗値が減少するメリットのみを十分に生かすことが出来る。メモリセルに必要な電源能力は、VDD に対してよりも VSS に対しての方が高い。第 2 層目に存在する VDD 電源配線 116 は、さほど高い電源供給能力が必要無いから、薄い膜厚でも十分な電源供給能力を持つことが出来る。

【0055】

以上に述べた本実施形態では、図 1 を用いて説明したようにロウ方向に伸びるワード線 119 と同層の第 3 層目には VSS ノード 201 が島形状パターンに配置されるだけなので、ワード線 119 と VSS 電源とのショート不良に至る確率が減少する。このメモリセルの利点を活用し、冗長回路としてロウ冗長回路を持たず、カラム冗長回路のみをもつ構成とすることができる。これについて、図 1

0を用いて説明する。

【0056】

図10は、ロウ冗長回路とカラム冗長回路の両方を搭載した場合のブロックイメージ図である。図10において、310は冗長救済用ロウデコーダ、311はロウ冗長用スペアメモリセル、312はカラム冗長用スペアメモリセル、313はロウデコーダ部、314は制御部、315はデータ入出力部である。

【0057】

冗長救済は、その実現手段によって種々の方法があるが、シフト冗長用のセレクト回路やアドレス一致検出回路といった付加回路と、スペア用のメモリセルが必ず必要である。これには、面積増加というデメリットもあるが、アドレスセットアップ時間やアクセス時間等のメモリ特性上重要なスペックが悪化してしまうデメリットもある。本実施形態におけるメモリセルを用いることで、ワード線がVSSにショートしてワード線方向にまとめて不良となる確率が減少するので、ロウ冗長救済回路を搭載する必要性が低くなる。この場合、図8や図9の屈曲ワード線を用いれば、さらにワード線不良を抑制出来る。

【0058】

このワード線方向への不良が生じにくいメモリセルを用いて、搭載冗長回路及びスペアメモリセルをカラム冗長用のみとすることにより、図10中の冗長救済用ロウデコーダ310及びロウ冗長用スペアメモリセル311を取り払って、面積を小さくすることが出来る。また、制御部314内やロウデコーダ部313に入っているロウ冗長用のアドレス一致回路やシフト冗長用回路等も無くすることによって、アドレスセットアップ時間やアクセス時間等のメモリ特性上重要なスペックが冗長救済回路を搭載することによって劣化することを回避することが出来る。

【0059】

なお、本実施形態の場合、VSS電源配線204がビット線114、115と異なる配線層であるため、ワード線がビット線の下層に設けられた従来例の図27に示すような、VSS電源配線355がビット線352、353と同層で長距離に渡って並走していることによるビット線352、353の寄生負荷容量の増

加や、パーティクル起因のVSS電源配線355とビット線352、353のショート不良による歩留低下という問題も生じない。この問題については後述の第3、第4の実施形態の場合も同様に生じない。

【0060】

(第2の実施形態)

第2の実施形態に関して、図面を用いて説明する。本実施形態の半導体記憶装置は、ビット線3層型の横型メモリセルで構成されるCMOS型SRAMである。

【0061】

本実施形態における横型メモリセルの下層部のレイアウトおよびその上の第1層目配線のレイアウトは、図21、図23のビット線2層型と同様であり、またメモリセルの配置も図22に示すようにフリップ配置され、メモリセルの回路図は図28で示される。

【0062】

本実施形態における第2層目以上の配線レイアウトの一例を図11に示す。図11に示すように、ワード線351が第2層目配線112で形成されており、第3層目配線によってポジビット線352、ネガビット線353、VDD電源配線354が形成され、第4層目配線によってVSS電源配線204が形成されている。従来のビット線3層型の図27の場合には、第3層目配線によってVDD電源配線354とVSS電源配線355、ポジネガビット線352、353が長距離に渡って並走しており、微細化が進めば、ビット線352、353の寄生負荷容量の増加の可能性があり、またパーティクル起因の歩留低下を引き起こしやすくなっていた。そこで、本実施形態では、図11に示す様にビット線352、353と並走する3層目のVSS電源を、上層から下層に通過させる為の接続用島形状のVSSノード201のみとし、上層の4層目にVSS電源配線204を持たせた形にする。ビット線352、353と並走するVSS電源の並走距離が短くなるので、ビット線容量が軽くなるとともに、プロセス工程上のパーティクル等に対して強くなり、歩留が向上する。

【0063】

ここでも、VSSを4層目のVSS電源配線204に持ち上げるのに、第3層目と第4層目とを接続するビア部203が必要となる。第1の実施形態と同様、論理を構成用に経由するビア部層数増加による歩留低下懸念に対しては、図11では、ビア部203の複数取りで対応している。第4層目配線にVSS電源配線204のみが存在し、VDD電源配線が存在しないこと、VSS電源配線204がウェル境界線と平行方向にビット線352、353を覆う様に伸びていることについては、第1の実施形態で説明したのと同様の効果がある。

【0064】

また、第1の実施形態でも説明したように、第4層目にさらにVDD電源配線205（図4、図7参照）を設け、第3層目のVDD電源配線354を裏打ちすることでVDD電源を強化することもできる。

【0065】

また、第1の実施形態でも説明したように、第4層目のVSS電源配線204のパターンは、完全な板形状としても良いが、ラインアンドスペース形状あるいはメッシュ形状とすることが、最近のCuダマシン配線に適している。

【0066】

また、第1の実施形態でも説明したように、図11のように、縦方向に伸びている第4層目のVSS電源配線204や、第3層目のVDD電源配線354を、基板コンタクトセル部において、ワード線351と同層の第2層目の配線で横方向に相互接続して、VDD電源及びVSS電源をメッシュ構造にして、電源を強化することもできる。

【0067】

また、第1の実施形態でも説明したように、第4層目の配線膜厚を厚くすることで、VSS電源配線204のシート抵抗値が減少し、寄生抵抗が小さくなって、電源の供給能力を強くすることもできる。

【0068】

また、本実施形態におけるメモリセルを用いることで、ビット線352、353がVSSにショートしてビット線方向にまとめて不良となる確率が減少するので、カラム冗長救済回路を搭載する必要性が低くなる。搭載冗長回路及びスペア

メモリセルをロウ冗長用のみとすることにより、カラム冗長救済回路搭載による面積増加を回避して面積を削減し、性能の高いメモリブロックを実現できる。

【0069】

なお、本実施形態の場合、VSS電源配線204がワード線351と異なる配線層であるため、ワード線がビット線の上層に設けられた従来例の図25に示すような、VSS電源配線120がワード線119と同層で長距離に渡って並走していることによるワード線119の寄生負荷容量の増加や、パーティクル起因のVSS電源配線120とワード線119のショート不良による歩留低下という問題も生じない。

【0070】

(第3の実施形態)

第3の実施形態に関して、図面を用いて説明する。

【0071】

第1、第2の実施形態で示した例では、メモリセルのレイアウトが4層目までで完結している。しかし、より多層配線のLSIであったり、多少の歩留低下懸念があっても、非常に高い動作スピードが必要である場合等に、第1、第2の実施形態で説明した考えを元にして、5層配線対応のメモリセルが構成可能である。

【0072】

本実施形態においても、横型メモリセルの下層部のレイアウトおよびその上の第1層目配線のレイアウトは、図21、図23と同様であり、またメモリセルの配置も図22に示すようにフリップ配置され、メモリセルの回路図は図28で示される。本実施形態における第2層目、第3層目、第4層目、第5層目の配線レイアウトの一例を、図12、図13、図14、図15に示す。

【0073】

第1の実施形態ではポジネガビット線間に同層メタルでシールドを兼ねてVDD電源配線を配置していたが、本実施形態では、図12のように第2層目にVDD電源配線116を配置し、図13のように第3層目にポジネガビット線403、404を配置する。これにより、自セル内のポジネガビット線403、404、

間のシールド層は無くなるものの、ビット線容量自体の絶対値は小さくなる。VDD電源配線の幅をW、VDD電源配線とビット線との間隔をdと置くと、ビット線403と404との間に同層でVDD電源配線が無い場合のポジネガビット線間の容量は、 $C \propto \epsilon \div (W + 2 * d)$ だが、VDD電源配線が同層で存在する場合には、 $C \propto \epsilon \div d$ となる。シールド層が無くなることにより、ポジネガ間の干渉が起こるが、その距離が離れていてポジネガ間のカップリング容量が小さければ、寄生容量が少ないことによってビット線の遷移時間が早くなり、アクセス時間を高速化出来る。

【0074】

そして図14のように第4層目にワード線419を配置し、VSS電源は第4層目には接続用島形状パターンのVSSノード418のみが存在する。図15に示す様に、第5層目はVSS電源配線413を配置している。

【0075】

ここでも、VSSを5層目のVSS電源配線413に持ち上げるのに、第4層目と第5層目とを接続するビア部414を複数取りすることでビア部層数増加による歩留低下を抑制している。第5層目配線にVSS電源配線413のみが存在し、VDD電源配線が存在しないこと、VSS電源配線413がウェル境界線と平行方向にビット線403、404を覆う様に伸びていることについては、配線層は異なるが第1の実施形態で説明したのと同様の効果がある。

【0076】

また、配線層は異なるが第1の実施形態でも説明したように、VSS電源配線413と同層の第5層目にさらにVDD電源配線205（図4、図7参照）を設け、第2層目のVDD電源配線116を裏打ちすることでVDD電源を強化することもできる。

【0077】

また、配線層は異なるが第1の実施形態でも説明したように、第5層目のVSS電源配線413のパターンは、完全な板形状としても良いが、ラインアンドスペース形状あるいはメッシュ形状とすることが、最近のCuダマシン配線に適している。

【0078】

また、配線層は異なるが第1の実施形態でも説明したように、ワード線419を、図8の様に屈曲させたり、さらに図9のように配線幅を太くして屈曲型幅太ワード線とすることにより同様の効果が得られる。

【0079】

また、第3層目以下の配線膜厚よりも、信号線としてはワード線419のみが存在する第4層目の膜厚を厚くしたり、VSS電源配線413のみの存在する第5層目の膜厚を厚くすることで、ワード線419やVSS電源配線413の抵抗値をさらに抑制することが可能となり、配線遅延の抑制や電源の供給能力を強くすることができる。

【0080】

(第4の実施形態)

第4の実施形態に関して、図面を用いて説明する。

【0081】

本実施形態においても、横型メモリセルの下層部のレイアウトおよびその上の第1層目配線のレイアウトは、図21、図23と同様であり、またメモリセルの配置も図22に示すようにフリップ配置され、メモリセルの回路図は図28で示される。本実施形態における第2層目、第3層目、第4層目、第5層目の配線レイアウトの一例を、図16、図17、図18、図19に示す。

【0082】

本実施形態は第3の実施形態と同様、5層配線対応のメモリセル構成である。第3の実施形態では、VDD電源配線が第2層目で、ビット線が第3層目であったのに対し、本実施形態においては、図16、図17に示す様に、ビット線407、408が第2層目であり、VDD電源配線410を3層目に配置する。これにより、第3の実施形態と同様、ポジネガビット線間のシールドを抜くことによって、ビット線容量を軽くすることが出来る。ただし、この第4の実施形態では、VDD電源配線410を3層目に持ち上げる為の島形状パターンのVDDノード409が存在するので、ビット線407、408とVDD電源配線410とを別の配線層に配置する効果は若干弱まることとなる。この第4の実施形態のよう

にビット線 407、408 を第 2 層目に配置したレイアウト構造は、ビット線 407、408 のビア部がビット線を第 3 層目に配置したものよりも浅い分、ビット線容量が軽くなる可能性が有る。

【0083】

配線性能は、個々のレイアウトの幅や間隔、断面構造や構成材料の誘電率等、種々の状況によって変わりうる。

【0084】

また、第 4 層目のレイアウトを示す図 18 では、ワード線 411 は、太くかつ、屈曲している。ワード線抵抗値は、メモリブロック内を長距離に渡って伸びていることから大きな値となる為に問題となることが多い。第 1 の実施形態の場合と同様、屈曲させることにより、4 層目の島形状 VSS ノード 417 との間隔を広めて容量を軽減しつつ、ワード線幅を広げてワード線抵抗を小さくしている。

【0085】

また、ワード線 411 と下部パターンとを接続するビア部 412 を複数取りにしている。これにより、配線多層化と多数ビア部層使用による歩留低下懸念を緩和している。

【0086】

また、第 3 層目以下の配線膜厚よりも、信号線としてはワード線 411 のみが存在する第 4 層目の膜厚を厚くしたり、VSS 電源配線 413 のみの存在する第 5 層目の膜厚を厚くすることで、ワード線 411 や VSS 電源配線 413 の抵抗値をさらに抑制することが可能となる。

【0087】

その他、第 3 の実施形態で説明したように、配線層は異なるが第 1 の実施形態と同様の変形が可能である。

【0088】

なお、第 3 の実施形態および第 4 の実施形態では、ワード線 (419、411) と VSS 電源配線 (413) との長距離に渡る並走が無いいため、ワード線の寄生容量が少なくなり高速化を図るとともに、パーティクルによるワード線と VSS 電源配線とがショート不良に至る確率が減少し、歩留りを高める効果を得るこ

とが出来ることは言うまでもない。

【0089】

【発明の効果】

請求項1に記載の本発明によれば、ウェル境界線の伸びる縦方向（列方向）の幅が狭い横型メモリセルにおいて、ワード線をビット線の上層の配線層で形成した場合で、ワード線とVSS電源配線とを異なる配線層で形成したことにより、非常に近接して存在するワード線とVSS電源との並走距離が短く、ワード線の寄生容量を少なくして高速化を図るとともに、同層近接配線がパーティクルによってショート不良に至る確率を減らして歩留を高めることが可能となる。また、対をなすポジとネガの相補ビット線間にシールドを兼ねたVDD電源配線が存在していることから、ポジネガ間のカップリングによるビット線振幅の減少を防ぐことが出来る。また、ワード線が不良となる確率が減ることから、ロウ冗長の搭載回路量を減らしたり、冗長回路をカラム側のみにして面積を削減したり、アドレスセットアップ時間やアクセス時間等のスペック劣化を防止することが出来る。また、VSS電源配線とVDD電源配線とが異なる配線層であるため、VDDとVSSの電源間ショート不良による冗長歩留低下を防ぐことが出来る。

【0090】

請求項2に記載の本発明によれば、ウェル境界線の伸びる縦方向（列方向）の幅が狭い横型メモリセルにおいて、ワード線をビット線の下層の配線層で形成した場合で、ビット線とVSS電源配線とを異なる配線層で形成したことにより、横方向（行方向）に並んで配置されるビット線とVSS電源間の並走距離が短くなり、ビット線の寄生容量が少なくなると共に、同層近接配線がパーティクルによってショート不良に至る確率を減らして歩留を高めることが出来る。さらに、ビット線は通常、スタンバイ時にHigh電位にプリチャージされるので、VSS電源とビット線とのショート確率が減少すると、冗長救済率が向上する。また、対をなすポジとネガの相補ビット線間にシールドを兼ねたVDD電源配線が存在していることから、ポジネガ間のカップリングによるビット線振幅の減少を防止することができる。また、VSS電源配線とVDD電源配線とが異なる配線層であるため、VDDとVSSの電源間ショート不良による冗長歩留低下を防ぐ

ことが出来る。

【0091】

請求項3に記載の本発明によれば、請求項1ではポジ／ネガビット線間でシールドの役割を果たしていたVDD電源配線を、ビット線とは異なる1つ下の配線層に配置することによってビット線容量が減少する。着目するビット線の変移自体は、その容量減少分速くなる。これにより、例えば5層配線を利用した高性能なSRAMブロックが供給可能となる。

【0092】

請求項4に記載の本発明によれば、請求項1ではポジ／ネガビット線間でシールドの役割を果たしていたVDD電源配線を、ビット線とは異なる1つ上の配線層に配置することによってビット線容量が減少する。着目するビット線の変移自体は、その容量減少分速くなる。これにより、例えば5層配線を利用した高性能なSRAMブロックが供給可能となる。

【0093】

請求項5に記載の本発明によれば、横方向の幅が縦方向の2倍以上である横に長いメモリセル（CMOS型SRAMセル）を用いることにより、請求項1～4に記載のメモリセルの効力をより引き出すことが出来る。

【0094】

請求項6に記載の本発明によれば、ワード線を上層に持ち上げる為にその下のノード（島形状パターン）1つあたりに複数のビア部を使用するので、その全てのビア部が不良になる確率は、ビア部1個配置の場合と比較して大幅に減少し、歩留低下を抑制できる。

【0095】

請求項7に記載の本発明によれば、VSS電源配線を上層に持ち上げる為にその下のノード（島形状VSSパターン）1つあたりに複数のビア部を使用するので、その全てのビア部が不良になる確率は、ビア部1個配置の場合と比較して大幅に減少し、歩留低下を抑制できる。

【0096】

請求項8に記載の本発明によれば、細いワード線を屈曲させて、ワード線と同

層に存在するVSSパターンとの間隔を空けた場合には、ワード線容量を減少させ、ショート不良発生確率を減少させることが出来る。また、ワード線を太くした場合には、ワード線抵抗を減少させ、ワード線の断線不良発生確率を低くすることが出来る。

【0097】

請求項9に記載の本発明によれば、VSS電源配線を横方向（行方向）に並んで配置させることによりメモリセル1個につき一本のVSS電源配線を有することとなる。縦方向（列方向）に並んで配置されたVSS電源配線を有する場合には、ワード線アクティブ時に、ワード線に接ながら全てのメモリセルのセル電流を一本のVSS電源配線でまかなうこととなるが、そうしたもののよりも、電源電圧低下やエレクトロマイグレーションの影響を緩和出来る。かつ、下層に存在するビット線を覆う形でVSS電源配線が存在するので、メモリブロックの上を通過する信号に対するシールド層となり、メモリの誤動作防止を図りながらチップ設計時にメモリブロック上に信号線を通すことが可能となる。

【0098】

請求項10に記載の本発明によれば、下層のVDD電源配線だけでは、電流供給能力が不足の場合に、その平行パスとして上層にVDD補強配線を設けることで電流供給能力を強化可能となる。

【0099】

請求項11に記載の本発明によれば、以下の効果を得ることが出来る。もしも、各メモリセル上で下層のVDD電源配線と上層のVDD補強配線とを接続すると、たとえばワード線等と並走する配線パターンが多くなってしまう。基板コンタクトセル配置周期と同じ、もしくはその整数倍の周期でVDD電源を裏打ちすることによって、ワード線の負荷容量増大や歩留低下を回避しながら、VDD電源をメッシュ構造とすることが出来る。ワード線は未使用時には、Low電位なので、歩留不良ワードがLow電位になっていれば、冗長救済可能であるが、VDD電位とのショートでHigh電位になっていると、ロウ冗長機能を有していたとしても、冗長救済率が上がらないといった問題も発生し得る。しかし、本発明によれば、ワード線とVDD電位とのショート確率を回避しつつ、VDD電位

をメッシュ構造とすることが可能となる。

【0 1 0 0】

請求項 1 2 に記載の本発明によれば、V S S 電源配線や V D D 電源配線を電源補強配線により横方向にも相互接続してメッシュ構造とすることによって、より強固な電源系を形成可能となる。

【0 1 0 1】

請求項 1 3 に記載の本発明によれば、V S S 電源配線がメッシュ形状となり、より強固になる。

【0 1 0 2】

請求項 1 4 に記載の本発明によれば、ワード線 4 の配線膜厚が、それより下の配線層膜厚よりも厚いので、シート抵抗値が小さくなる。これにより、ワード線の寄生抵抗が小さくなって、配線遅延が抑制出来る。

【0 1 0 3】

請求項 1 5 に記載の本発明によれば、V S S 電源配線の配線膜厚が、それより下の配線層膜厚よりも厚いので、シート抵抗値が小さくなる。これにより、電源の寄生抵抗が小さくなって、電源の電流供給能力が強くなる。また、少なくともメモリセル領域においては、V S S 電源配線の配線層には他の信号線が存在しないので、V S S 電源配線の配線層が厚くなっても、同層信号線間のカップリングノイズ増加という問題は生じない。

【0 1 0 4】

請求項 1 6 に記載の本発明によれば、ロウ方向に伸びるワード線と V S S 電源とのショート不良確率が少ないという請求項 1 に記載のメモリセルの利点を有効活用し、カラム冗長のみとする。ロウ冗長回路搭載による面積増加を回避して面積を削減し、性能の高いメモリブロックを使用できる。

【0 1 0 5】

請求項 1 7 に記載の本発明によれば、ビット線と V S S 電源とのショート不良確率が少ないという請求項 2 に記載のメモリセルの利点を有効活用して、ロウ冗長のみとする。カラム冗長回路搭載による面積増加を回避して面積を削減し、性能の高いメモリブロックを使用できる。

【図面の簡単な説明】**【図 1】**

第 1 の実施形態に係わるメモリセルレイアウトの説明図

【図 2】

第 1 の実施形態に係わる第 4 層目 V S S への接続用ビア部 2 個取りしたメモリセルレイアウトの説明図

【図 3】

図 2 における第 2 層目配線以上を表示したメモリセルレイアウト説明図

【図 4】

第 1 の実施形態に係わる第 4 層目に V D D と V S S とを有する例の説明図

【図 5】

第 1 の実施形態に係わる第 4 層目に V D D と V S S とを有しメモリセル中での V D D 裏打ちをした悪い例の説明図

【図 6】

第 1 の実施形態に係わる S R A M ブロック中での基板コンタクトセル挿入例を示す図

【図 7】

第 1 の実施形態に係わる基板コンタクトセル中での裏打ちレイアウト説明図

【図 8】

第 1 の実施形態に係わる第 2 層目配線以上を表示した屈曲ワード線を有するメモリセルレイアウト説明図

【図 9】

第 1 の実施形態に係わる屈曲幅太ワード線を有するメモリセルレイアウトの説明図

【図 1 0】

第 1 の実施形態に係わるロウ冗長及びカラム冗長搭載ブロックのレイアウトイメージ図

【図 1 1】

第 2 の実施形態に係わる第 2 層目配線以上を示したメモリセルレイアウト説明

図

【図 12】

第3の実施形態に係わるメモリセルレイアウト例の第2層目配線および第2層目配線と下層との接続用ビア部を主とした説明図

【図 13】

第3の実施形態に係わるメモリセルレイアウト例の第3層目配線および第3層目配線と下層との接続用ビア部を主とした説明図

【図 14】

第3の実施形態に係わるメモリセルレイアウト例の第4層目配線および第4層目配線と下層との接続用ビア部を主とした説明図

【図 15】

第3の実施形態に係わるメモリセルレイアウト例の第5層目配線および第5層目配線と下層との接続用ビア部を主とした説明図

【図 16】

第4の実施形態に係わるメモリセルレイアウト例の第2層目配線および第2層目配線と下層との接続用ビア部を主とした説明図

【図 17】

第4の実施形態に係わるメモリセルレイアウト例の第3層目配線および第3層目配線と下層との接続用ビア部を主とした説明図

【図 18】

第4の実施形態に係わるメモリセルレイアウト例の第4層目配線および第4層目配線と下層との接続用ビア部を主とした説明図

【図 19】

第4の実施形態に係わるメモリセルレイアウト例の第5層目配線および第5層目配線と下層との接続用ビア部を主とした説明図

【図 20】

従来の縦型メモリセルレイアウト例の説明図

【図 21】

従来の横型メモリセルレイアウト例の下地周りの説明図

【図 2 2】

メモリセル配置方法説明図

【図 2 3】

従来の横型メモリセルレイアウト例の第 1 層目配線を主とした説明図

【図 2 4】

従来のビット線 2 層型横型メモリセルレイアウト例の第 2 層目配線および第 2 層目配線と下層との接続用ビア部を主とした説明図

【図 2 5】

従来のビット線 2 層型横型メモリセルレイアウト例の第 3 層目配線および第 3 層目配線と下層との接続用ビア部を主とした説明図

【図 2 6】

従来のビット線 3 層型横型メモリセルレイアウト例の第 2 層目配線および第 2 層目配線と下層との接続用ビア部を主とした説明図

【図 2 7】

従来のビット線 3 層型横型メモリセルレイアウト例の第 3 層目配線および第 3 層目配線と下層との接続用ビア部を主とした説明図

【図 2 8】

CMOS 型 S R A M のメモリセルの回路図

【符号の説明】

- 1 0 0 P ウェル
- 1 0 1 N ウェル
- 1 0 2 ウェル境界線
- 1 0 3 拡散層
- 1 0 4 ゲート電極
- 1 0 5 拡散層またはゲート電極と第 1 層目配線とを接続するコンタクトホール
- 1 0 6 拡散層とゲート電極と第 1 層目配線とを接続するシェアードコンタクト
- 1 0 7 N チャネル型アクセストランジスタ
- 1 0 8 N チャネル型ドライブトランジスタ
- 1 0 9 P チャネル型ロードトランジスタ

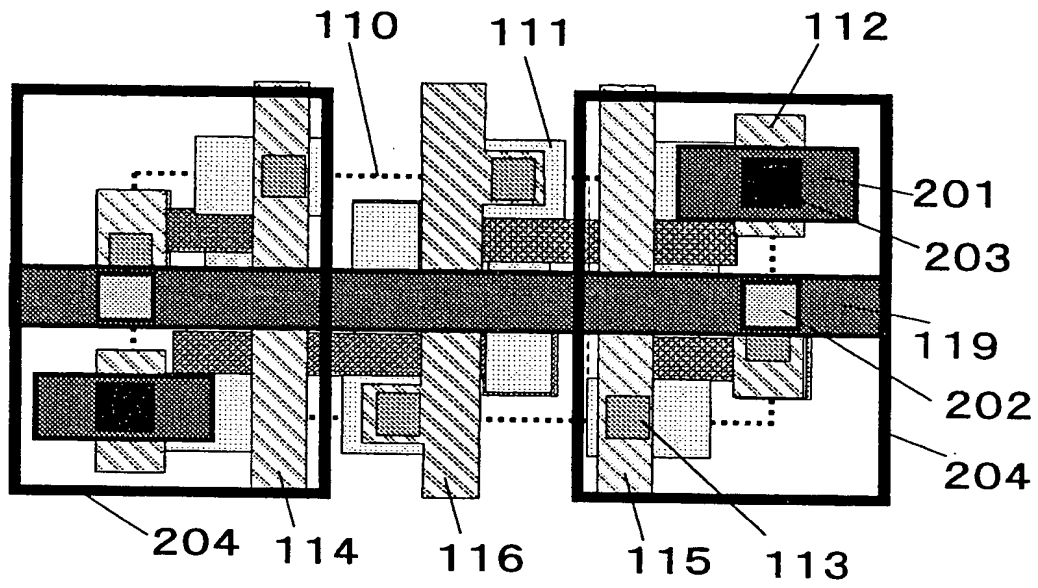
- 110 メモリセル1ビット分のセル境界枠
- 111 第1層目配線
- 112 第2層目配線
- 113 第1層目と第2層目との接続用ビア部
- 114 ポジビット線 (M2)
- 115 ネガビット線 (M2)
- 116 VDD電源配線 (M2)
- 117 第3層目配線
- 118 第2層目と第3層目との接続用ビア部
- 119 ワード線 (M3)
- 120 VSS電源配線 (M3)
- 201 島形状とした第3層目配線のVSSノード
- 202 第2層目と第3層目との接続用ビア部
- 203 第3層目と第4層目との接続用ビア部
- 204 第4層目VSS電源配線
- 205 第4層目VDD電源配線、
- 206 メモリセル中に配置した島形状の第3層目配線のVDDノード
- 207 屈曲型ワード線
- 208 屈曲型幅太ワード線
- 300 基板コンタクト用基板コンタクトセル
- 302 メモリセル
- 301 基板コンタクトセル中に配置した島形状の第3層目配線のVDDノード
- 310 冗長救済用ロウデコーダ
- 311 ロウ冗長用スペアメモリセル
- 312 カラム冗長用スペアメモリセル
- 313 ロウデコーダ部
- 314 制御部
- 315 データ入出力部
- 351 ワード線 (M2)

- 3 5 2 ポジビット線 (M 3)
- 3 5 3 ネガビット線 (M 3)
- 3 5 4 V D D 電源配線 (M 3)
- 3 5 5 V S S 電源配線 (M 3)
- 4 0 1 島形状の第 2 層目配線のポジビット線接続用ノード
- 4 0 2 島形状の第 2 層目配線のネガビット線接続用ノード
- 4 0 3 ポジビット線 (M 3)
- 4 0 4 ネガビット線 (M 3)
- 4 0 5 第 2 層目と第 3 層目とを接続するビア部
- 4 0 6 島形状の第 3 層目配線の V S S ノード
- 4 0 7 ポジビット線 (M 2)
- 4 0 8 ネガビット線 (M 2)
- 4 0 9 島形状の第 2 層目配線の V D D ノード
- 4 1 0 V D D 配線 (M 3)
- 4 1 1 屈曲型ワード線 (M 4)
- 4 1 2 第 4 層目ワード線と第 3 層目の島形状パターンとの接続用ビア部
- 4 1 3 V S S 配線 (M 5)
- 4 1 4 第 5 層目の V S S と第 4 層目の島形状パターンとの接続用ビア部
- 4 1 5 メモリセル枠
- 4 1 6 第 4 層目と第 3 層目との V S S 接続用ビア部
- 4 1 7 島形状の第 4 層目配線の V S S ノード
- 4 1 8 島形状の第 4 層目配線の V S S ノード
- 4 1 9 直線形状のワード線 (M 4)

【書類名】

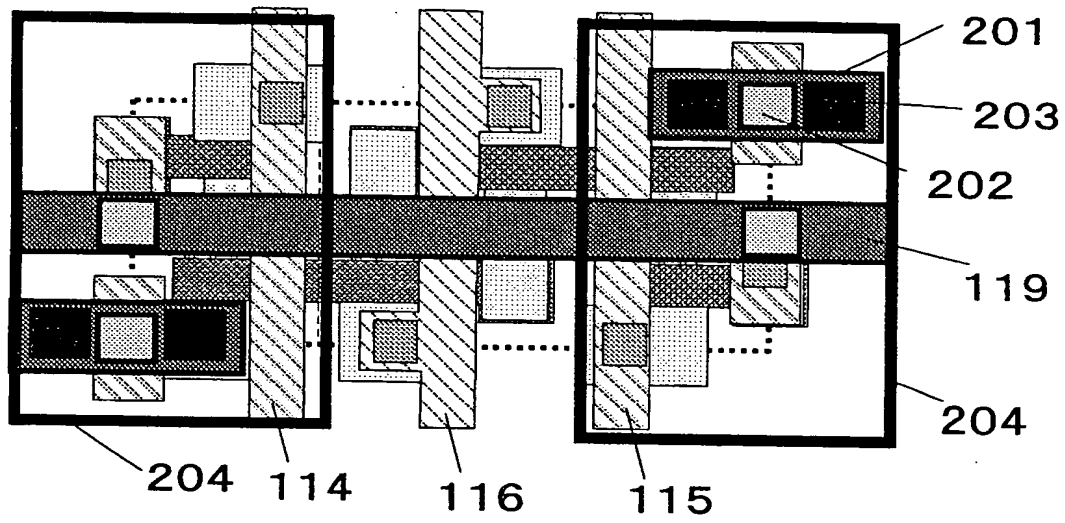
図面

【図 1】



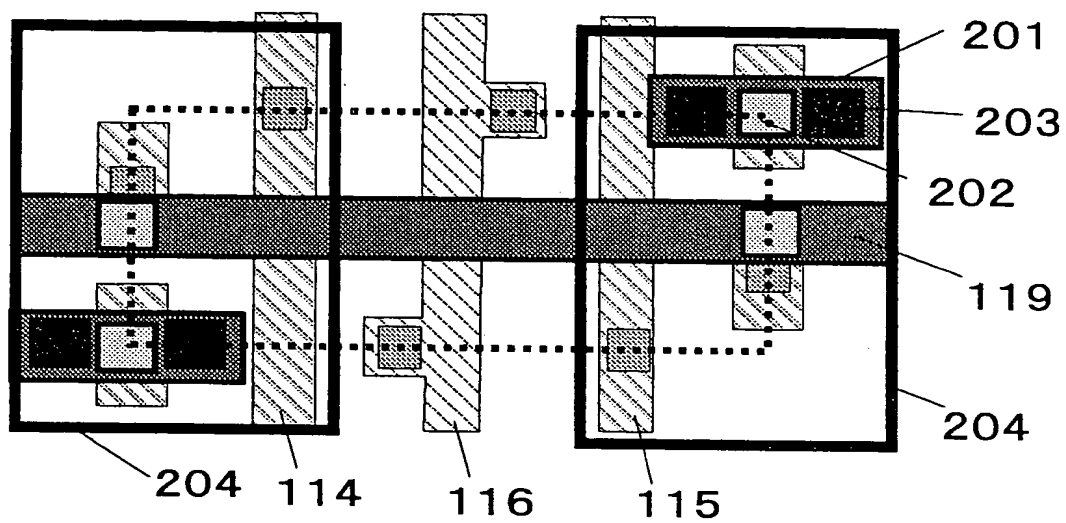
BEST AVAILABLE COPY

【図 2】



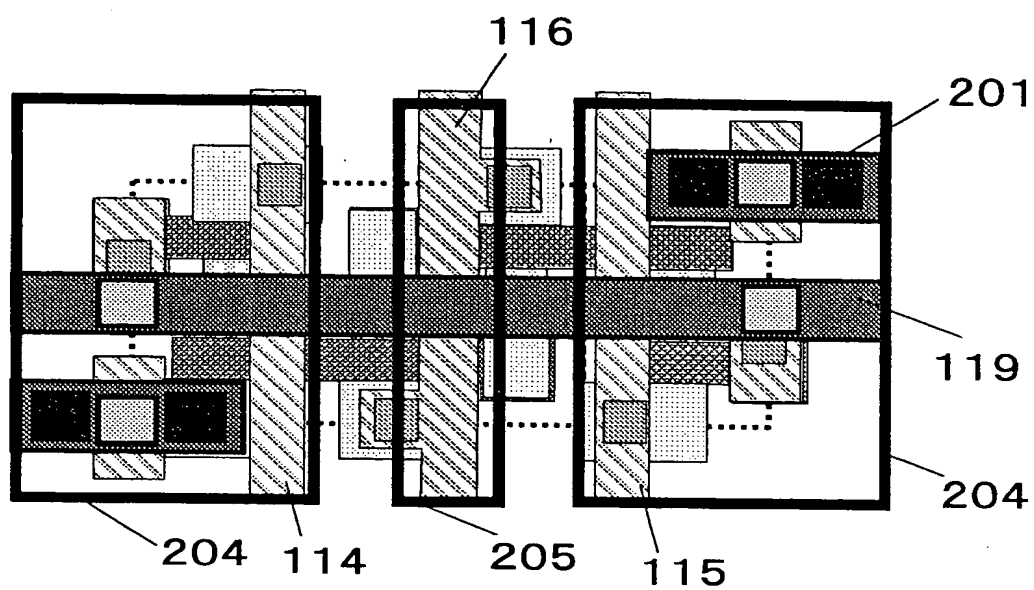
BEST AVAILABLE COPY

【図 3】



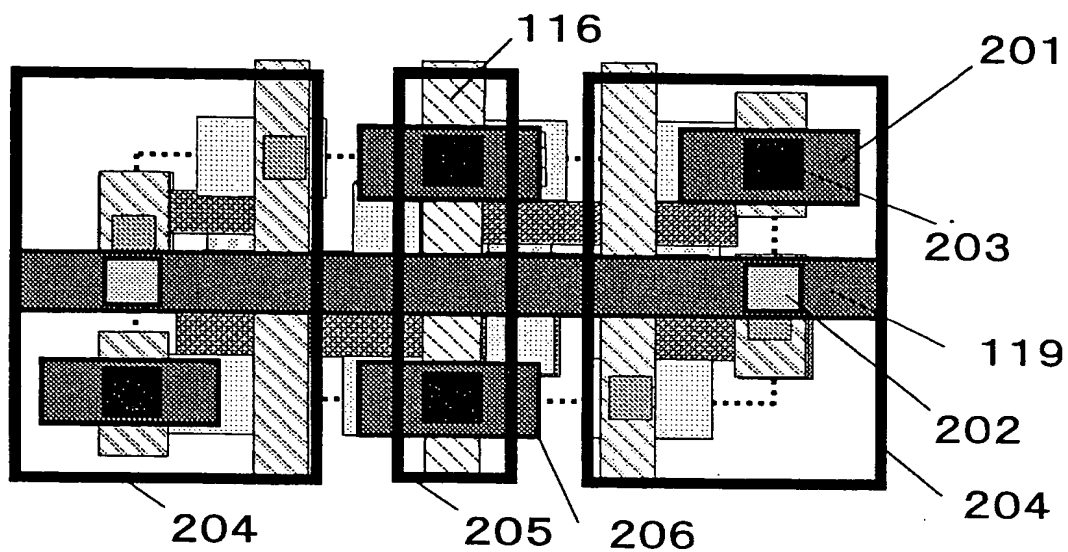
BEST AVAILABLE COPY

【図 4】



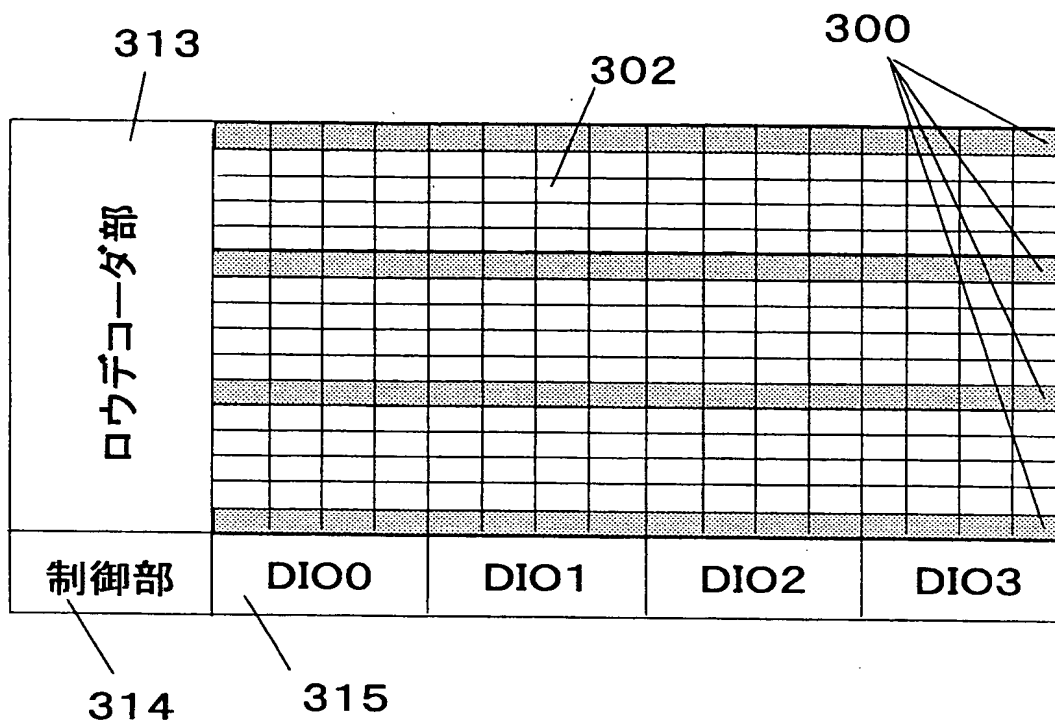
BEST AVAILABLE COPY

【図 5】



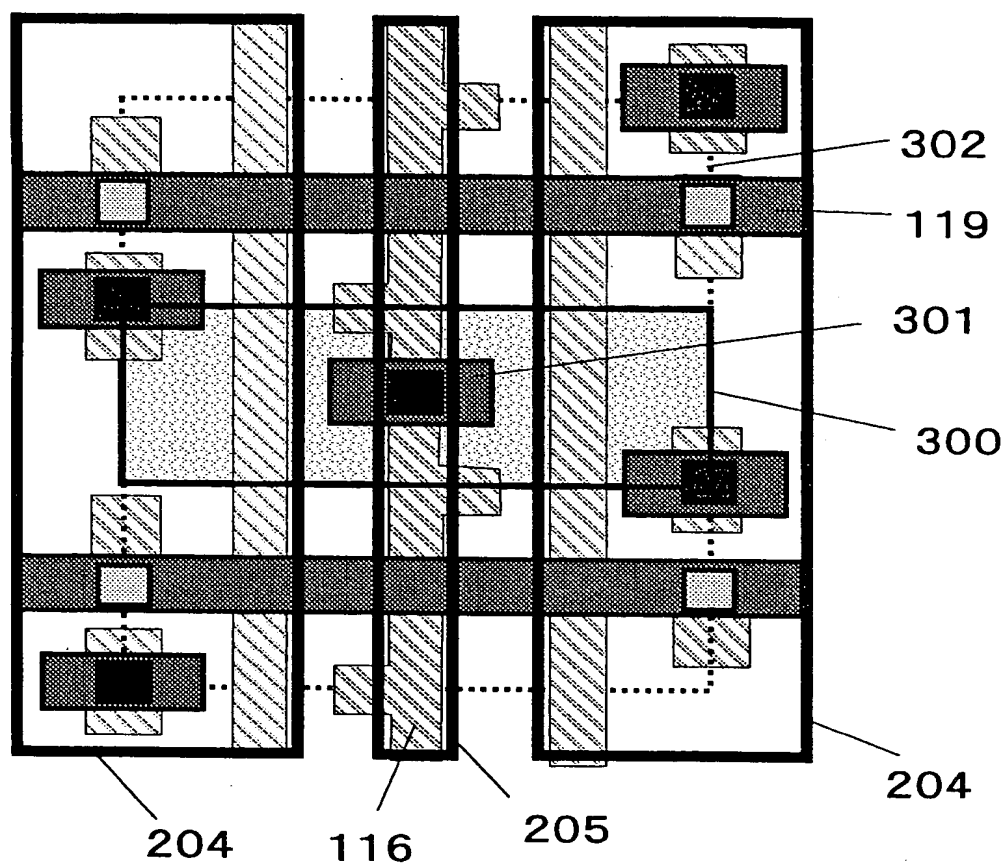
BEST AVAILABLE COPY

【図 6】



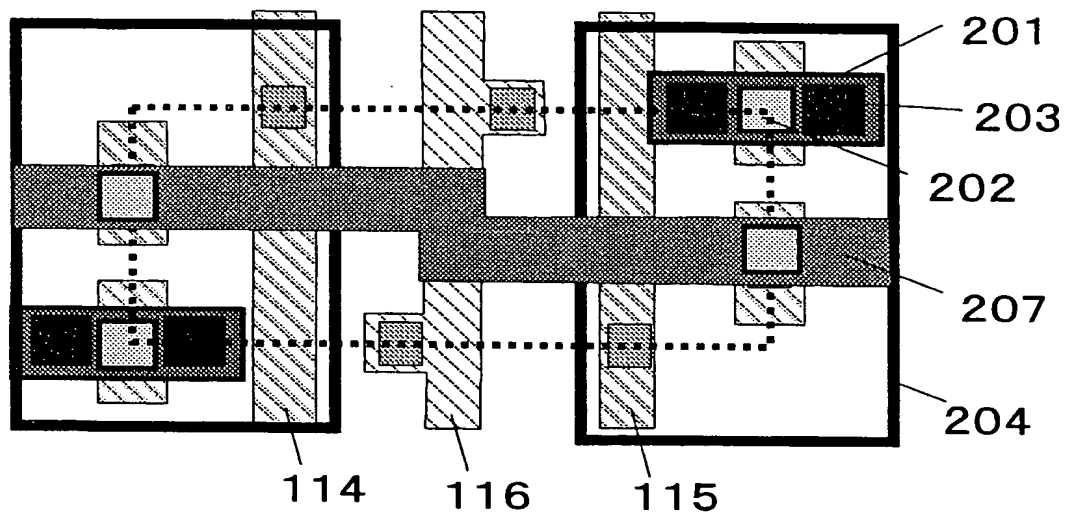
BEST AVAILABLE COPY

【図 7】



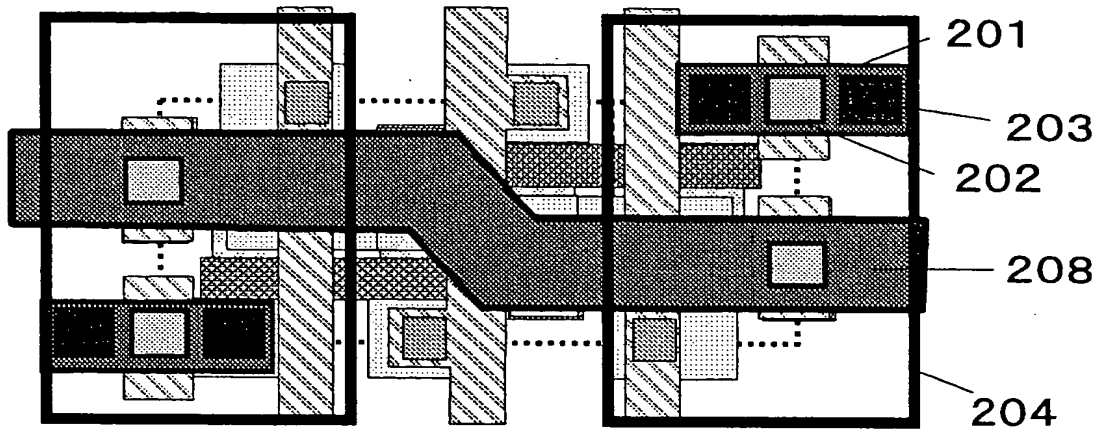
BEST AVAILABLE COPY

【図 8】



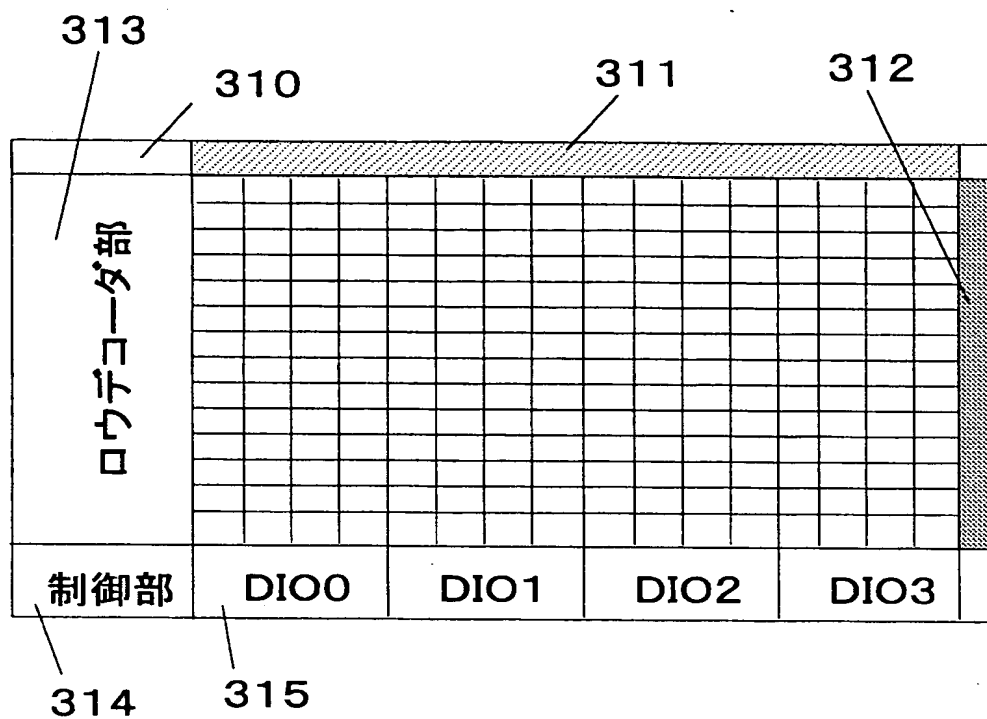
BEST AVAILABLE COPY

【図 9】



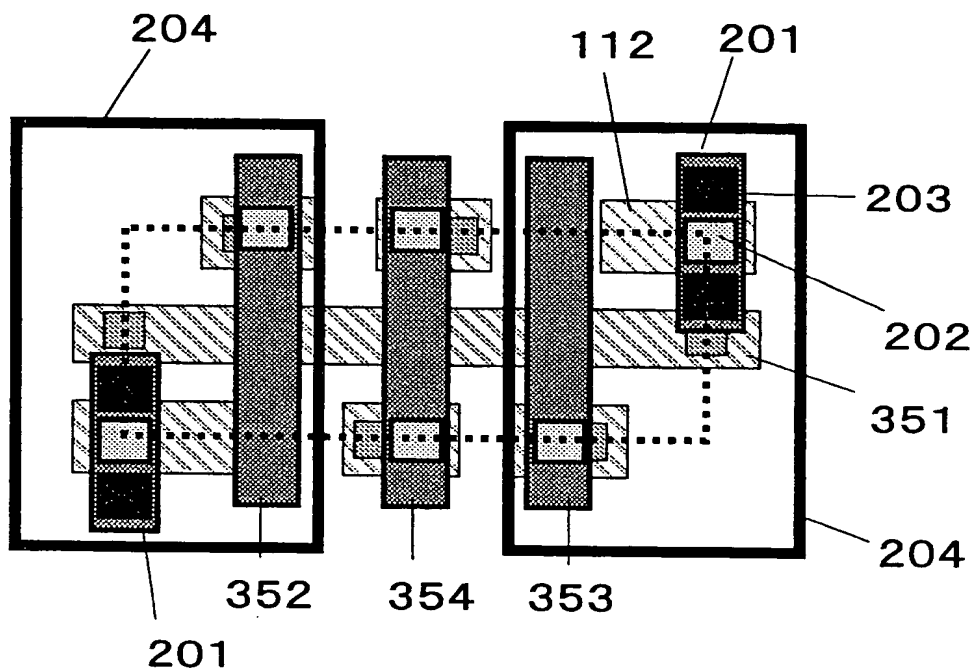
Best Available Copy

【図 10】



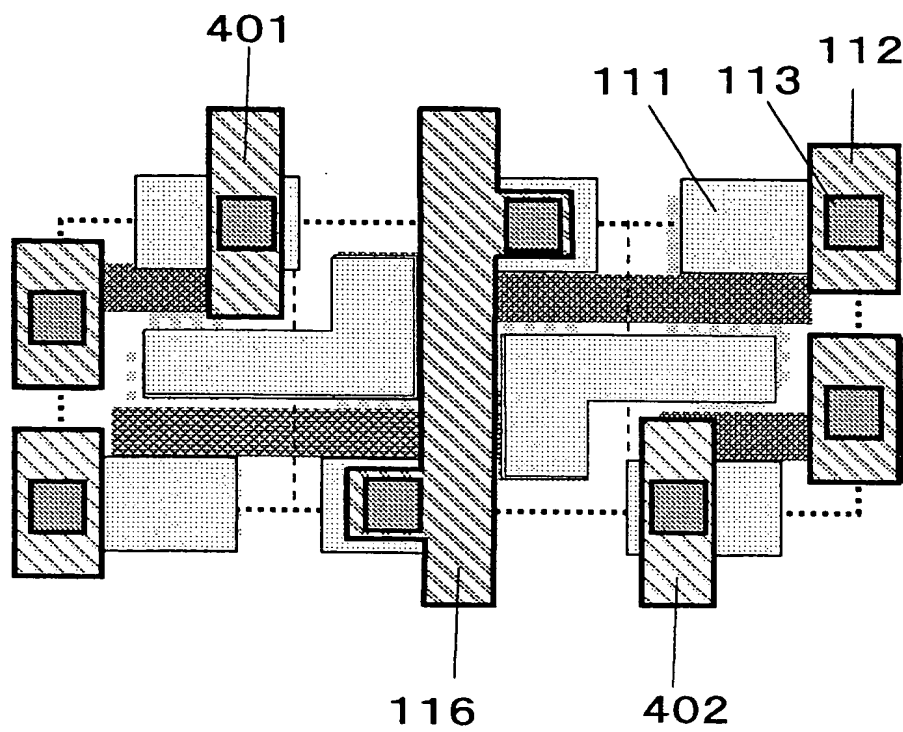
BEST AVAILABLE COPY

【図 11】



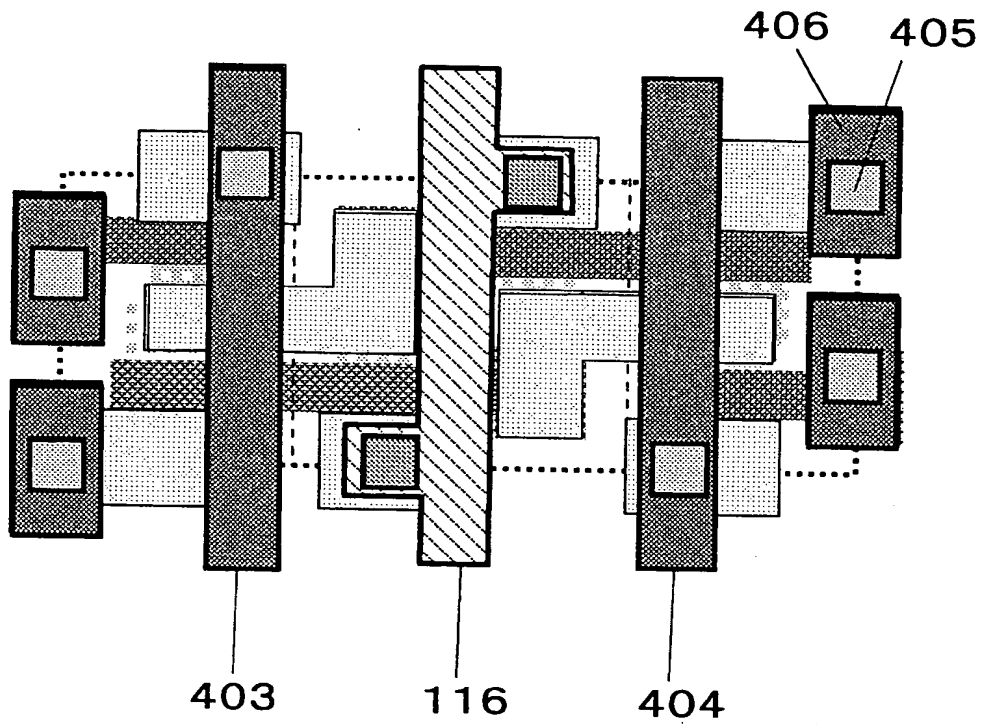
BEST AVAILABLE COPY

【図 12】



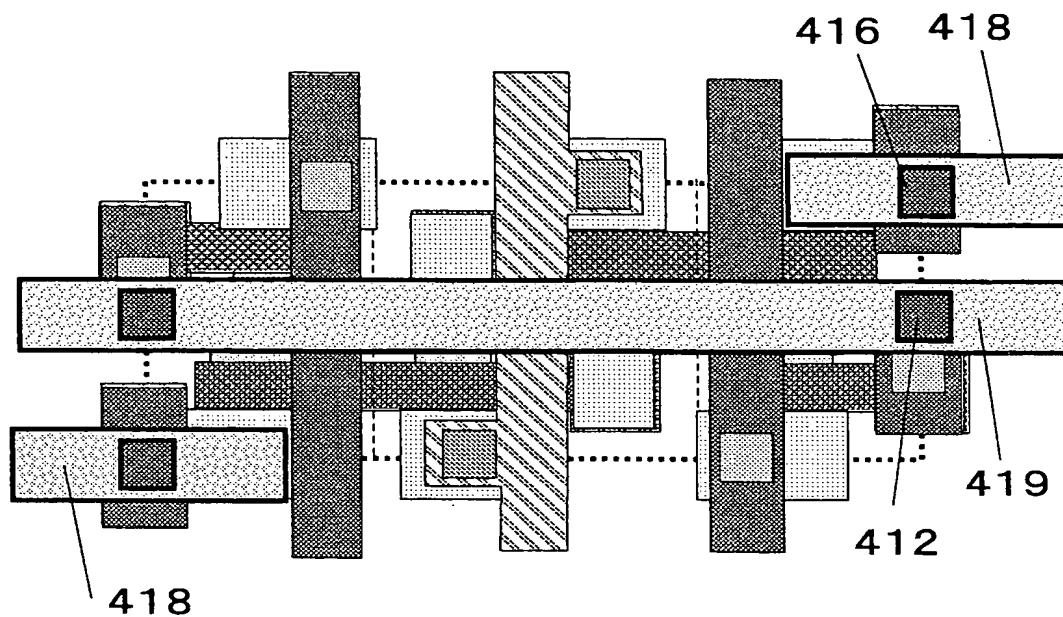
BEST AVAILABLE COPY

【図 13】



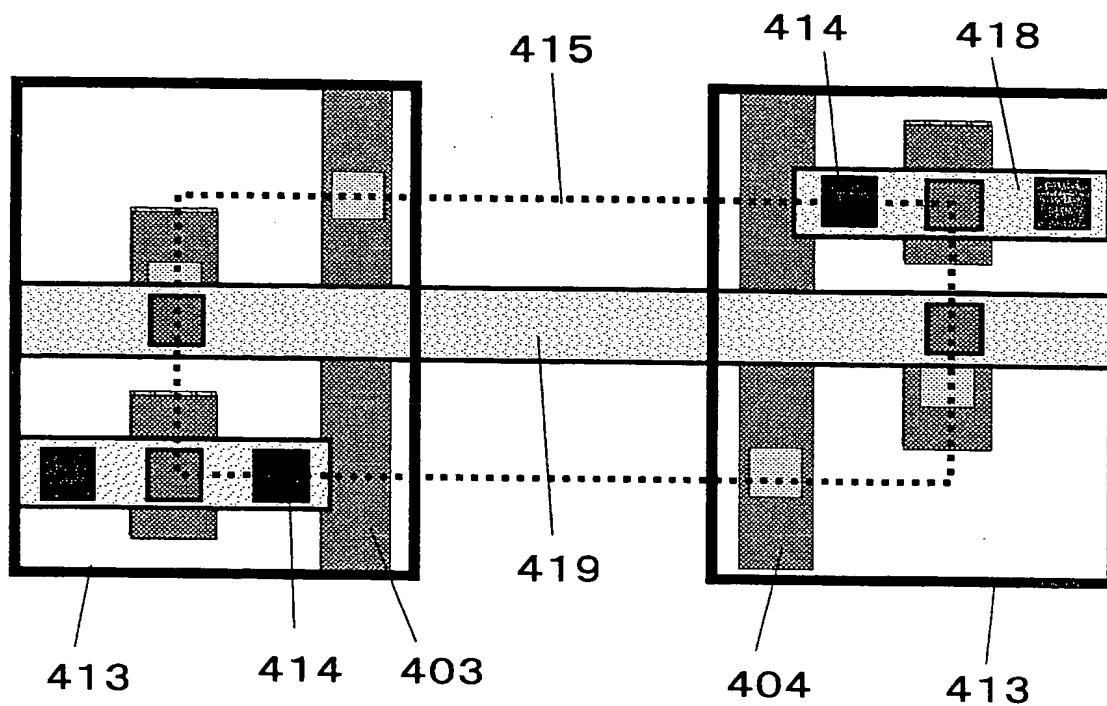
BEST AVAILABLE COPY

【図 14】



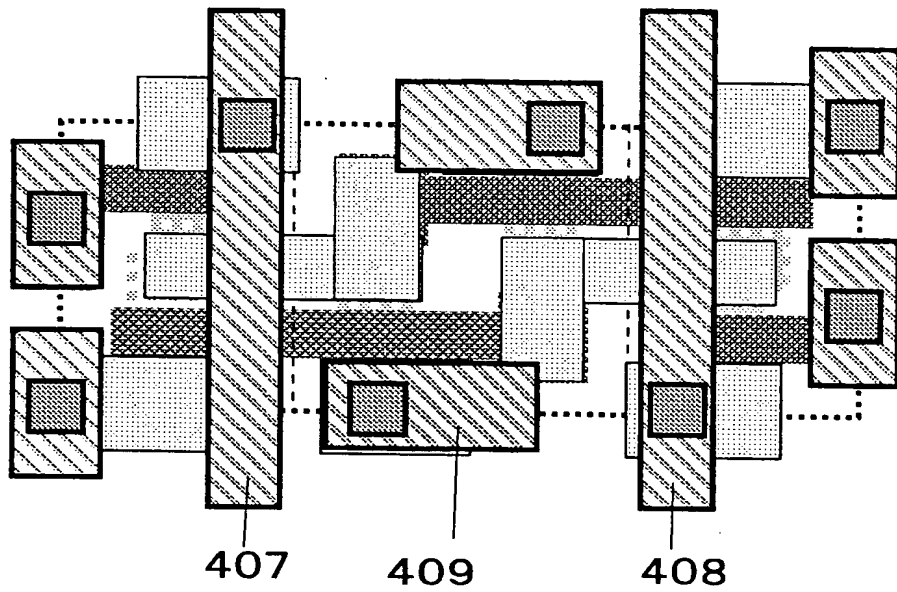
BEST AVAILABLE COPY

【図 15】



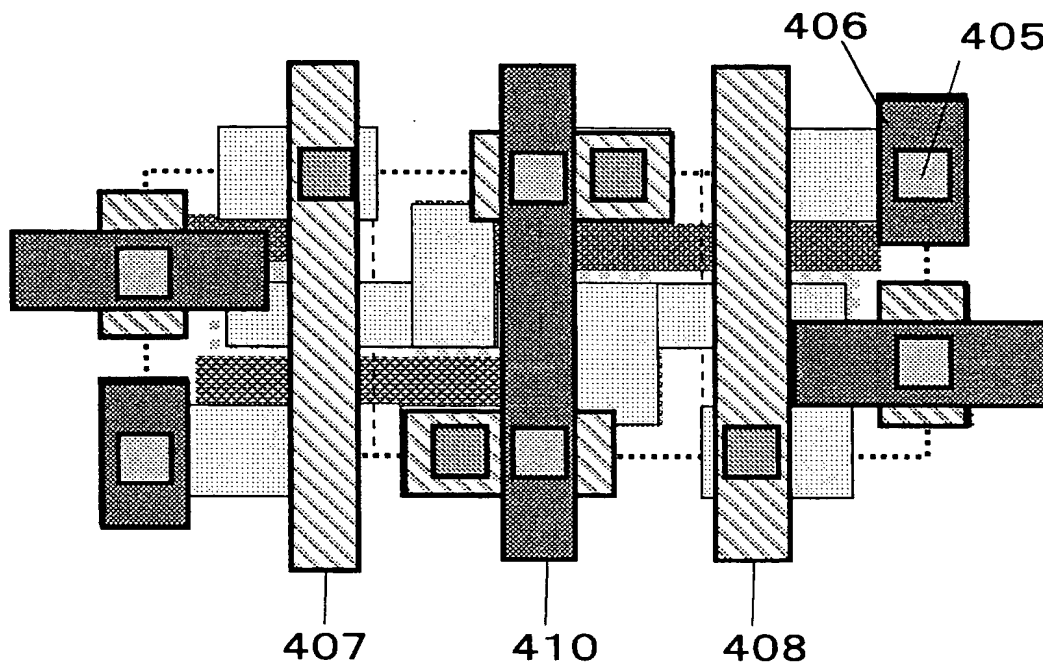
BEST AVAILABLE COPY

【図 16】



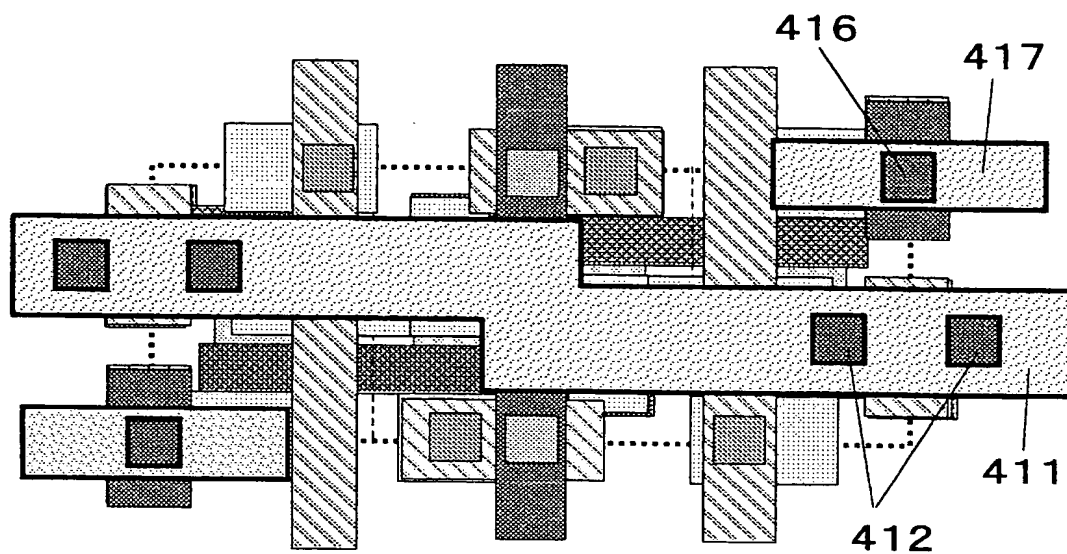
BEST AVAILABLE COPY

【図 17】



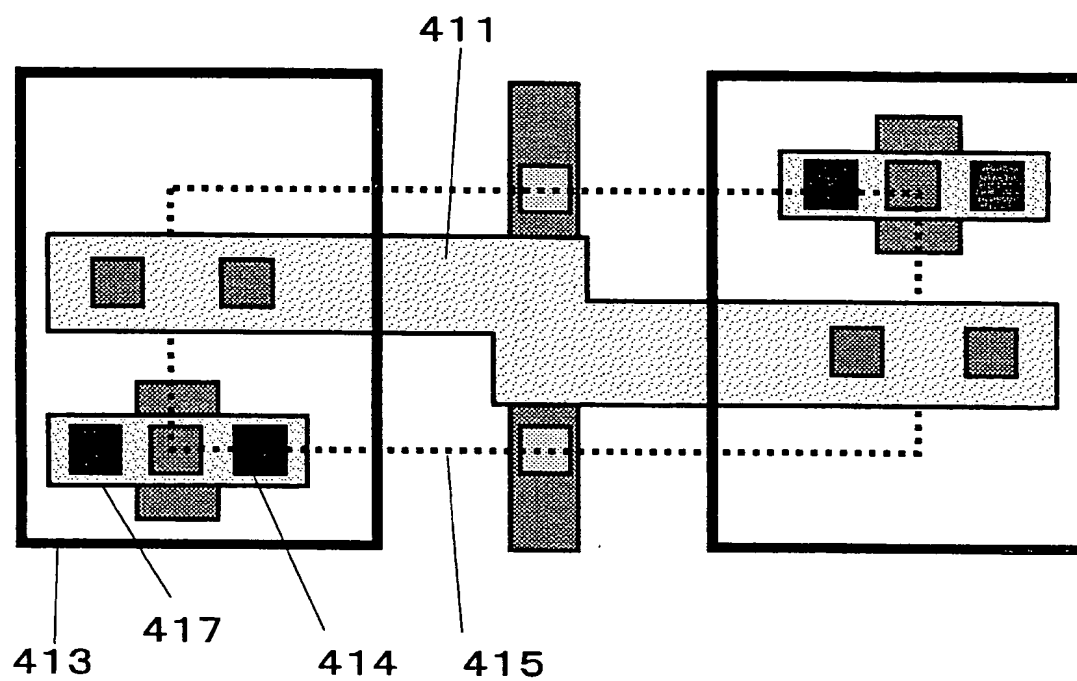
BEST AVAILABLE COPY

【図 18】



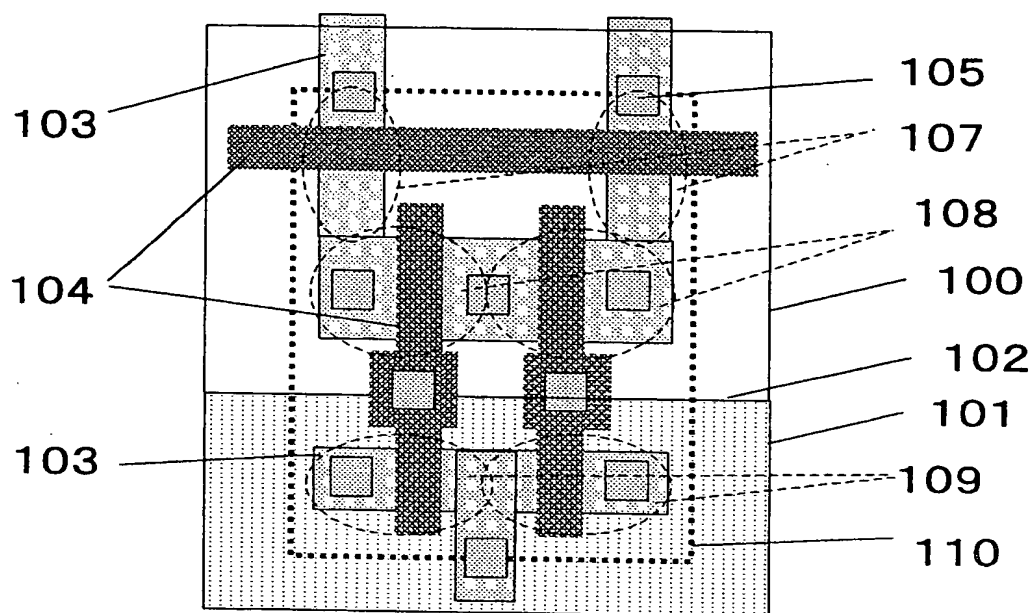
BEST AVAILABLE COPY

【図 19】



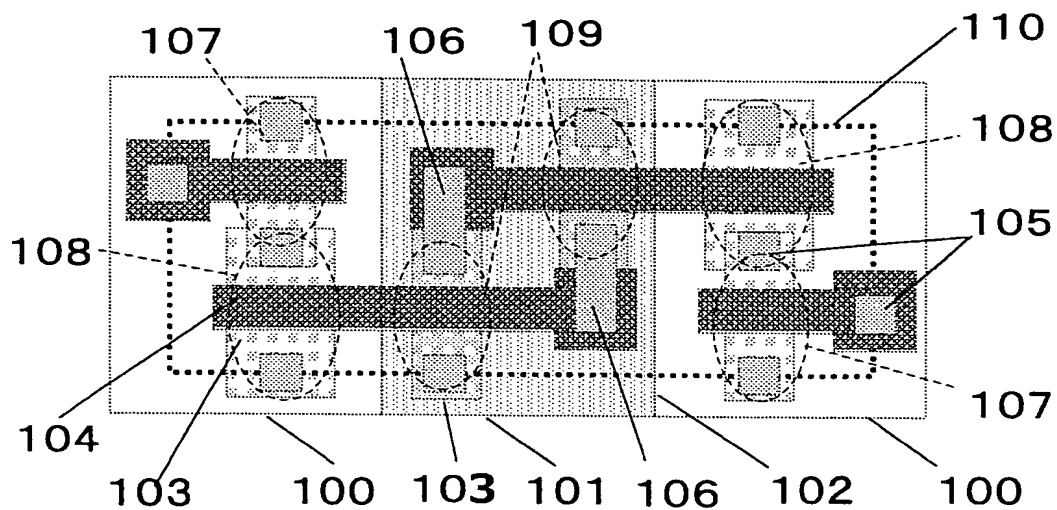
BEST AVAILABLE COPY

【図 20】



BEST AVAILABLE COPY

【図 21】

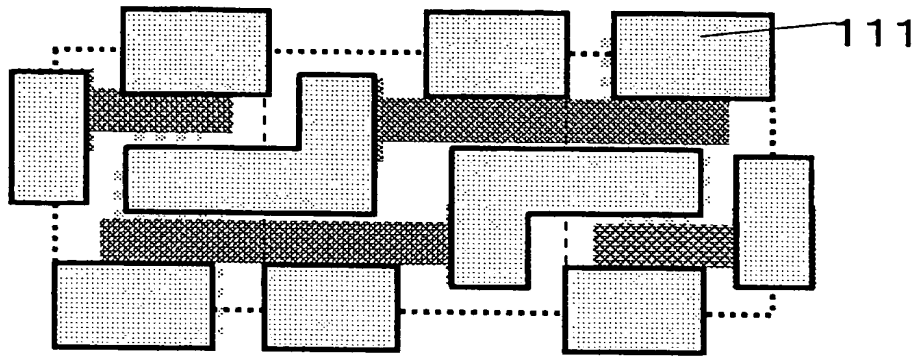


【図 22】

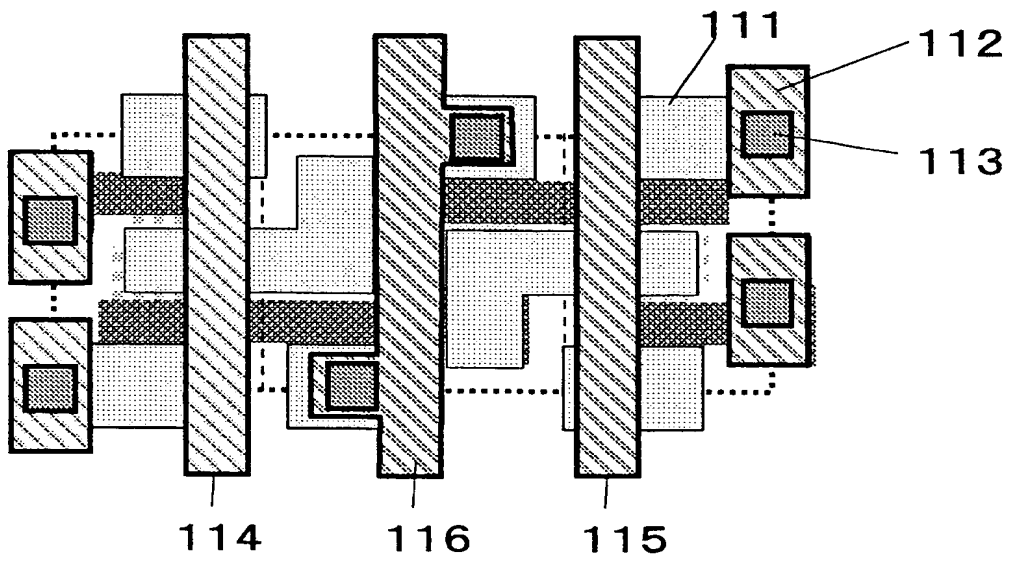
						221	222				
F	フ	F	フ	F	フ	F	フ	F	フ	F	フ
E	エ	E	エ	E	エ	E	エ	E	エ	E	エ
F	フ	F	フ	F	フ	F	フ	F	フ	F	フ
E	エ	E	エ	E	エ	E	エ	E	エ	E	エ
F	フ	F	フ	F	フ	F	フ	F	フ	F	フ
E	エ	E	エ	E	エ	E	エ	E	エ	E	エ

Best Available Copy

【図 23】

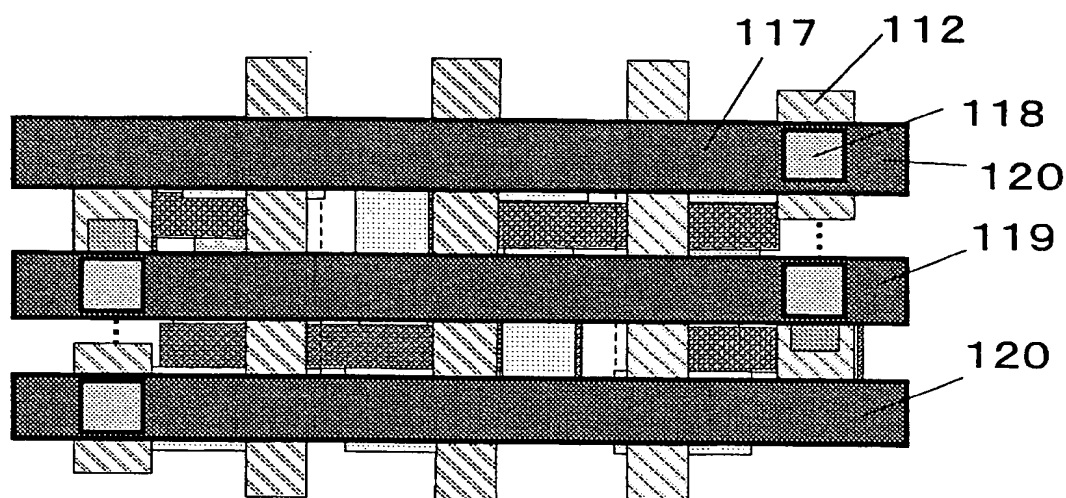


【図 24】



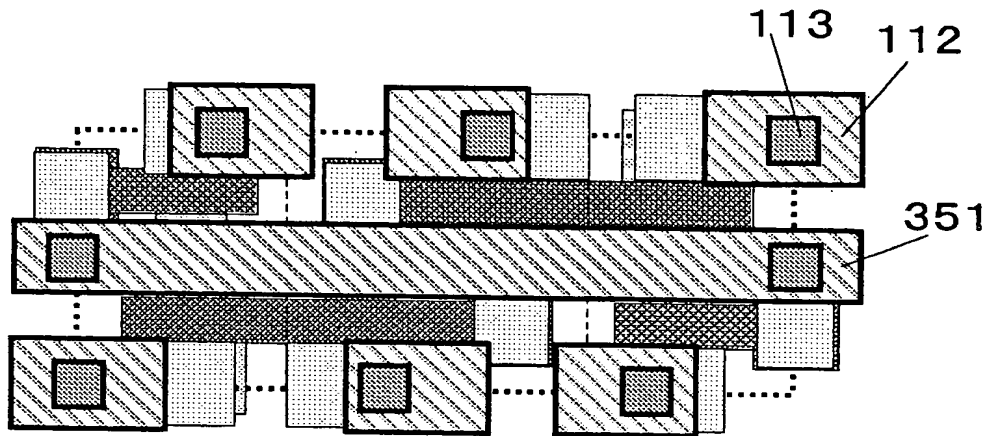
BEST AVAILABLE COPY

【図 25】



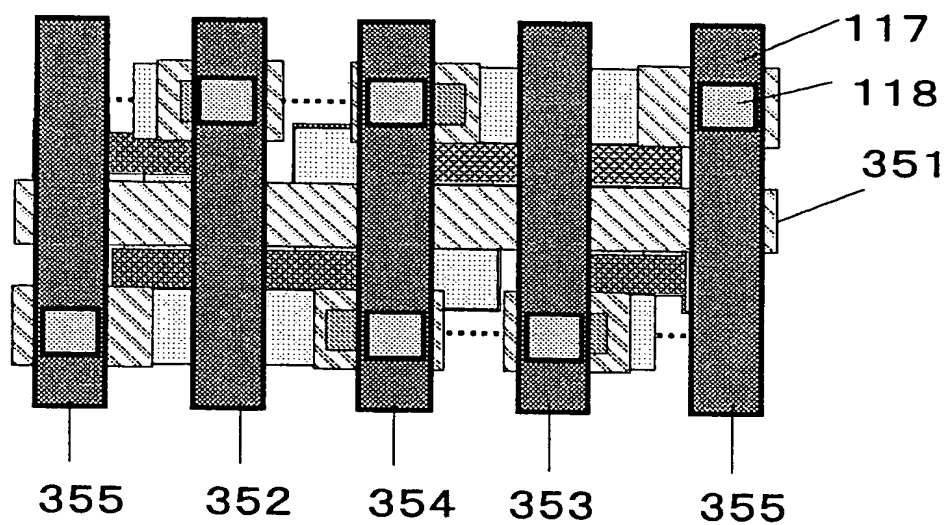
BEST AVAILABLE COPY

【図 26】



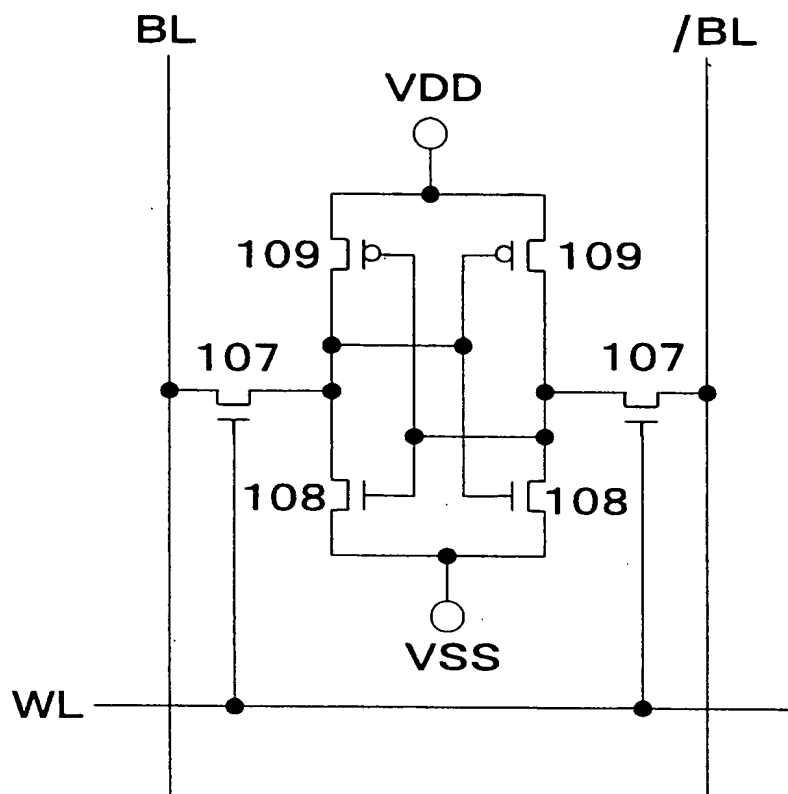
BEST AVAILABLE COPY

【図 27】



BEST AVAILABLE COPY

【図 28】



Best Available Copy

【書類名】 要約書

【要約】

【課題】 6トランジスタ型SRAMメモリセルにおいて、横型メモリセルレイアウトが多く用いられるようになってきたが、形状が横長であるが故に、例えばビット線を第2層目の配線にした場合、横方向に走るワード線とVSS電源が同層で近接して並走し、ワード線の寄生容量負荷の増大や、配線パーティクルによる歩留低下という課題があった。

【解決手段】 第2層目配線にて相補ビット線114、115を配置するとともにビット線114、115間にシールドを兼ねたVDD電源配線116を配置し、第3層目配線には、ワード線119と、VSSを第4層目配線に持ち上げる為の島形状のVSSノード201を配置し、第4層目配線に、VSS電源配線204を配置する。第3層目のワード線119とVSS(201)間対向長の減少によってワード線の寄生容量を少なくするとともに、ショート不良に至る確率が減少し歩留が向上する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 0 1 1 9 6
受付番号	5 0 3 0 0 5 6 3 1 9 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 4 月 7 日

< 認定情報・付加情報 >

【提出日】	平成15年 4月 4日
-------	-------------

次頁無

特願 2 0 0 3 - 1 0 1 1 9 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社